

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-326564  
 (43)Date of publication of application : 22.11.2001

(51)Int.Cl. H03K 5/151

(21)Application number : 2000-144569 (71)Applicant : HITACHI LTD

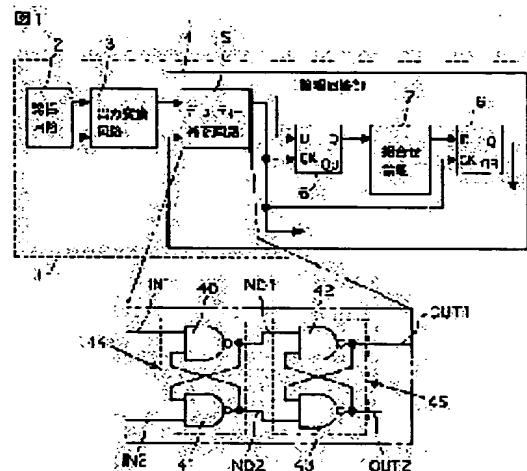
(22)Date of filing : 12.05.2000 (72)Inventor : UEHARA YOICHI  
 YAMAMOTO KATSUMI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit which restores duty to about 50% whether the duty is deviated into a state where an 'H' period is long or a state where an 'L' period is long.

SOLUTION: A duty correction circuit corrects the deviation of the duty generated in converting an analog complementary periodic signal whose phase difference is about half period and whose duty ratio is about 50% to a logic level by using the NAND gate static latch of serial two stages, for example. The NAND gate static latch performs correction of about duty 50% by latching operation when the 'H' period of a complementary clock signal is long, and performs inversion operation when the 'L' period of the complementary clock signal is long. Thus, the duty is restored to about 50% with respect to both of the state where the 'H' period is long and the state where the 'L' period is long, only by logic operation from the level and timing of an inputted complementary clock signal without outputting a thin pulse equivalent to a differential waveform made by internal small delay.



## LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]

- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-326564

(P2001-326564A)

(43)公開日 平成13年11月22日 (2001.11.22)

(51)Int.Cl.<sup>7</sup>

H 0 3 K 5/151

識別記号

F I

H 0 3 K 5/15

テマコード(参考)

C 5 J 0 3 9

審査請求 未請求 請求項の数14 O L (全 25 頁)

(21)出願番号 特願2000-144569(P2000-144569)

(22)出願日 平成12年5月12日 (2000.5.12)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 上原 陽一

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 山本 克己

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74)代理人 100089071

弁理士 玉村 静世

F ターム(参考) 5J039 HH06 KK04 KK10 MM06

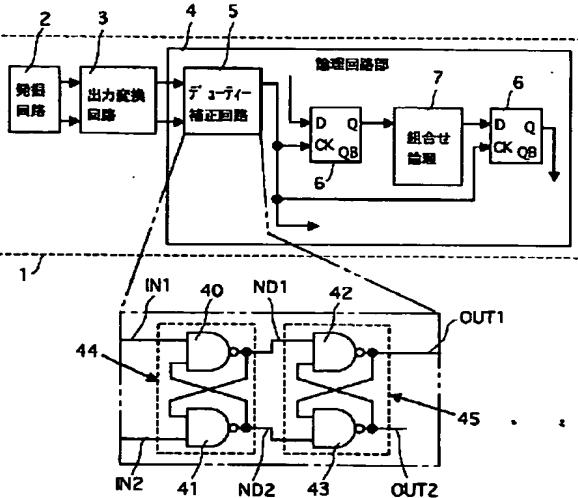
(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 “H”期間が長い状態或いは“L”期間が長い状態の何れの状態にデューティーがずれてもデューティーを大凡50%に回復する。

【解決手段】 デューティー補正回路は、位相差が大凡半周期でデューティー比が大凡50%のアナログ相補周期信号を論理レベルに変換するとき生ずるデューティーずれを、例えば直列2段の NANDゲートスタティックラッチを用いて補正する。NANDゲートスタティックラッチは、相補クロック信号の“H”期間が長いときラッチ動作で大凡デューティー50%補正を行い、相補クロック信号の“L”期間が長いときインバート動作を行い、これによって、内部の小さい遅延による微分波形相当の細いパルスを出すことなく、入力相補クロック信号のレベルとタイミングからの論理動作だけで、“H”期間が長い状態或いは“L”期間が長い状態の何れの状態に対しても、デューティーを大凡50%に回復する。

図1



## 【特許請求の範囲】

【請求項1】 位相差が大凡半周期でデューティー比が大凡50%の相補周期信号を発生する発振回路と、前記発振回路から出力される相補周期信号を所定の論理レベルに変換して位相差が大凡半周期の相補クロック信号を出力する出力変換回路と、前記出力変換回路から出力される相補クロック信号を入力して論理動作を行う論理回路部とを有し、前記論理回路部は、少なくとも前記出力変換回路で生ずる相補クロック信号のデューティーずれを補正して大凡50%に回復するデューティー補正回路を含み、前記デューティー補正回路は、前記出力変換回路を経た相補クロック信号を入力する第1論理段と、前記第1論理段の出力を入力する第2論理段とを有し、前記第1論理段は、第1の論理値の期間が大凡50%のデューティー比におけるその期間よりも短くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比へ補正し、前記第1の論理値の期間が大凡50%のデューティー比におけるその期間よりも長くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比より第1の論理値の期間を短く補正する論理動作を行い、前記第2論理段は、前記第1論理段から出力される相補クロック信号を入力し、第1の論理値の期間が大凡50%のデューティー比におけるその期間よりも短くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比へ補正し、デューティー比が大凡50%の相補クロック信号に対しては論理値反転を行なって出力するものである、ことを特徴とする半導体集積回路。

【請求項2】 位相差が大凡半周期でデューティー比が大凡50%の相補周期信号を発生する発振回路と、前記発振回路から出力される相補周期信号を所定の論理レベルに変換して位相差が大凡半周期の相補クロック信号を出力する出力変換回路と、前記出力変換回路から出力される相補クロック信号を入力して論理動作を行う論理回路部とを有し、前記論理回路部は、少なくとも前記出力変換回路で生ずる相補クロック信号のデューティーずれを補正して大凡50%に回復するデューティー補正回路を含み、前記デューティー補正回路は、相互に一方の NAND ドアの出力が他方の NAND ドアの入力に帰還接続され夫々の NAND ドアの他方の入力に前記位相差が大凡半周期の相補クロック信号が供給される第1のラッチ回路と、相互に一方の NAND ドアの出力が他方の NAND ドアの入力に帰還接続され夫々の NAND ドアの他方の入力に前記第1のラッチ回路の夫々の NAND ドアの出力が供給される第2のラッチ回路とを有して成るものであることを特徴とする半導体集積回路。

【請求項3】 位相差が大凡半周期でデューティー比が

大凡50%の相補周期信号を発生する発振回路と、前記発振回路から出力される相補周期信号を所定の論理レベルに変換して位相差が大凡半周期の相補クロック信号を出力する出力変換回路と、前記出力変換回路から出力される相補クロック信号を入力して論理動作を行う論理回路部とを有し、

前記論理回路部は、少なくとも前記出力変換回路で生ずる相補クロック信号のデューティーずれを補正して大凡50%に回復するデューティー補正回路を含み、

前記デューティー補正回路は、相互に一方のノアゲートの出力が他方のノアゲートの入力に帰還接続され夫々のノアゲートの他方の入力に前記位相差が大凡半周期の相補クロック信号が供給される第1のラッチ回路と、相互に一方のノアゲートの出力が他方のノアゲートの入力に帰還接続され夫々のノアゲートの他方の入力に前記第1のラッチ回路の夫々のノアゲートの出力が供給される第2のラッチ回路とを有して成るものであることを特徴とする半導体集積回路。

【請求項4】 前記第2のラッチ回路の夫々の出力に論理閾値電圧が電源電圧の中間レベルよりも高く設定されたインバータを接続して成るものであることを特徴とする請求項2記載の半導体集積回路。

【請求項5】 前記第1及び第2のラッチ回路の NAND ドアは論理閾値電圧が電源電圧の中間レベルよりも低く設定されて成るものであることを特徴とする請求項2記載の半導体集積回路。

【請求項6】 前記第1及び第2のラッチ回路のノアゲートは論理閾値電圧が電源電圧の中間レベルよりも高く設定されて成るものであることを特徴とする請求項3記載の半導体集積回路。

【請求項7】 前記第1のラッチ回路の入力には夫々クロック制御論理回路を介して前記位相差が大凡半周期の相補クロック信号が供給されるものであることを特徴とする請求項2又は3記載の半導体集積回路。

【請求項8】 位相差が大凡半周期でデューティー比が大凡50%の相補周期信号を発生する発振回路と、前記発振回路から出力される相補周期信号を所定の論理レベルに変換して位相差が大凡半周期の相補クロック信号を出力する出力変換回路と、前記出力変換回路から出力される相補クロック信号を入力して論理動作を行う論理回路部とを有し、前記論理回路部は、少なくとも前記出力変換回路で生ずる相補クロック信号のデューティーずれを補正して大凡50%に回復するデューティー補正回路を含み、前記デューティー補正回路は、前記相補クロック信号のデューティー比を判定し、第1の論理値の期間が大凡50%のデューティー比におけるその期間よりも短くされるデューティー比の相補クロック信号に対してはおよそ50%のデューティー比より第1の論理値の期間を短く維持し、前記第1の論理値の期間が大凡50%のデュ

ティー比におけるその期間よりも長くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比より第1の論理値の期間を短く補正する論理動作を行う第1論理段と、前記第1論理段から出力される相補クロック信号を入力しデューティー比を大凡50%とする補正を行って出力する第2論理段とを含んで成るものであることを特徴とする半導体集積回路。

【請求項9】 位相差が大凡半周期でデューティー比が大凡50%の相補周期信号を発生する発振回路と、前記発振回路から出力される相補周期信号を所定の論理レベルに変換して位相差が大凡半周期の相補クロック信号を出力する出力変換回路と、前記出力変換回路から出力される相補クロック信号を入力して論理動作を行う論理回路部とを有し、

前記論理回路部は、少なくとも前記出力変換回路で生ずる相補クロック信号のデューティーずれを補正して大凡50%に回復するデューティー補正回路を含み、

前記デューティー補正回路は、位相差が大凡半周期の相補クロック信号の一方と他方の反転信号とを入力する第1の NANDゲートと、前記位相差が大凡半周期の相補クロック信号の前記他方と前記一方の反転信号とを入力する第2の NANDゲートと、前記第1の NANDゲートの出力によってスイッチ制御され電源電圧と出力端子に接続された第1導電型の第1のトランジスタと、前記第2の NANDゲートの出力の反転信号によってスイッチ制御され回路の接地電圧と前記出力端子に接続された第2導電型の第2のトランジスタとを有し、前記出力端子に容量が接続されて成ることを特徴とする半導体集積回路。

【請求項10】 位相差が大凡半周期でデューティー比が大凡50%の相補周期信号を発生する発振回路と、前記発振回路から出力される相補周期信号を所定の論理レベルに変換して位相差が大凡半周期の相補クロック信号を出力する出力変換回路と、前記出力変換回路から出力される相補クロック信号を入力して論理動作を行う論理回路部とを有し、

前記論理回路部は、少なくとも前記出力変換回路で生ずる相補クロック信号のデューティーずれを補正して大凡50%に回復するデューティー補正回路を含み、

前記デューティー補正回路は、位相差が大凡半周期の相補クロック信号の一方と他方の反転信号とを入力する第1の NANDゲートと、前記位相差が大凡半周期の相補クロック信号の前記他方と前記一方の反転信号とを入力する第2の NANDゲートと、相互に一方の NANDゲートの出力が他方の NANDゲートの入力に帰還接続され夫々の NANDゲートの他方の入力に前記第1及び第2の NANDゲートの出力信号が供給されるラッチ回路と、を有して成ることを特徴とする半導体集積回路。

【請求項11】 位相差が大凡半周期でデューティー比が大凡50%の相補周期信号を発生する発振回路と、前

記発振回路から出力される相補周期信号を所定の論理レベルに変換して位相差が大凡半周期の相補クロック信号を出力する出力変換回路と、前記出力変換回路から出力される相補クロック信号を入力して論理動作を行う論理回路部とを有し、

前記論理回路部は、少なくとも前記出力変換回路で生ずる相補クロック信号のデューティーずれを補正して大凡50%に回復するデューティー補正回路を含み、

前記デューティー補正回路は、位相差が大凡半周期の相補クロック信号をそれぞれ2分周するフリップフロップと、前記フリップフロップの出力を2入力とし、2入力の一一致、不一致毎にクロック信号を状態変化させて出力する論理ゲート回路とを含んで成ることを特徴とする半導体集積回路。

【請求項12】 前記発振回路はPLL回路の電圧制御発振器であることを特徴とする請求項1乃至11の何れか1項記載の半導体集積回路。

【請求項13】 位相差が大凡半周期でデューティー比が大凡50%の相補周期信号を発生する発振回路と、前記発振回路から出力される相補周期信号を所定の論理レベルに変換して位相差が大凡半周期の相補クロック信号を出力する出力変換回路と、前記出力変換回路から出力される相補クロック信号を入力して論理動作を行う論理回路部とを有し、

前記論理回路部は、少なくとも前記出力変換回路で生ずる相補クロック信号のデューティーずれを補正して大凡50%に回復するデューティー補正回路を含み、

前記デューティー補正回路は、前記出力変換回路を経た相補クロック信号を入力する第1論理段と、前記第1論理段の出力を入力する第2論理段とを有し、

前記第1論理段は、前記相補クロック信号のデューティー比を判定し、第1の論理値の期間が大凡50%のデューティー比におけるその期間よりも短くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比へ補正し或いは大凡50%のデューティー比より第1の論理値の期間を短く維持し、前記第1の論理値の期間が大凡50%のデューティー比におけるその期間よりも長くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比より第1の論理値の期間を短く補正する論理動作を行い、

前記第2論理段は、前記第1論理段から出力される相補クロック信号を入力しデューティー比を大凡50%にして出力するものである、ことを特徴とする半導体集積回路。

【請求項14】 前記第2のラッチ回路の夫々の出力に論理閾値電圧が電源電圧の中間レベルよりも低く設定されたインバータを接続して成るものであることを特徴とする請求項3記載の半導体集積回路。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**本発明は、クロック信号に同期動作される論理回路部においてクロック信号のデューティーを望ましいデューティーに再生する技術に関し、半導体集積回路に適用して有効な技術に関するものである。

**【0002】**

**【従来の技術】**順序回路と組合せ回路から成る論理回路では、一般的に順序回路をクロック信号に同期させてラッチ動作させる。論理回路の多くの用途において、前記クロック信号にはデューティー比50%（ハイレベル及びローレベル期間に対するハイレベル期間の割合）が望ましいとされる。例えば、高速動作ロジックICにおいて、PLLあるいは周波数プログラマブル等の発振回路を内部に持ちそこからクロックが供給されるもので、VCO/ICO等の発振回路が差動形式の回路を用いることにより、位相差/デューティ比ともに50%の相補クロック信号を発生させることができる。しかしながら、その後段の、ロジックレベル変換回路や、ロジック部内でのクロック選択回路等の組合せ論理において、クロック信号の立ち上がり伝播遅延時間 $t_{PLH}$ と立ち下がり伝播遅延時間 $t_{PHL}$ との差に起因するデューティずれが生ずる。

**【0003】**上記デューティーずれは論理回路の動作速度に影響を与える。すなわち、一般に、高速動作論理回路における高速化の限界は、第1に、フリップフロップのクロック信号入力端子から、フリップフロップのデータ出力、後段の組合せ論理、及び次段フリップフロップのデータ入力端子までの遅延時間と、次段側フリップフロップのデータ入力のセットアップ時間と、クロックスキューと、を加算（加減算）した値が論理回路内において最大となるバス（いわゆるクリティカルバス）に対し、その遅延時間等の合計で決まる。この値はクロックパルスの周期に対して最小値（動作周波数としては最大値）が決まる。

**【0004】**それに加えて第2に、各フリップフロップのクロック入力波形の“H（ハイレベル）”幅、“L（ローレベル）”幅にそれぞれ動作可能な最小値があり、クロックのデューティ比が50%からずれている場合は、クロック幅の観点で先に高速動作限界が決まることがある。この値はクロックパルスの周期ではなく、“H”幅、“L”幅それぞれに対して最小値が決まっている。

**【0005】**クロック信号のデューティ比は、クロック発生回路の構成、およびクロック発生回路後段の論理回路内における $t_{PLH}$ と $t_{PHL}$ のずれの両方で決まる。

**【0006】**高速動作マージンを探る、もしくは最高動作周波数を上げるために、クロックのデューティ比は50%に近いことが望ましい。また、あるノードでデューティ比50%になっていた場合、その後段では $t_{PLH}$

$t_{PHL}$ の差ができるだけないことが望ましく、換言すれば、できるだけ後段すなわちフリップフロップのクロック入力端子に近いノードでデューティ比50%を達成できることが望ましい、という点が本発明者によって明らかにされた。

**【0007】**

**【発明が解決しようとする課題】**デューティー比50%を極力達成するには、例えば発振周波数を2倍とし、これを後段のロジック回路で2分周することも考えられるが、HDD（ハード・ディスク・ドライブ）やDVD（デジタル・ビデオ・ディスク）などのリードチャンネルLSIのような高速動作される応用では、発振周波数を更に2倍にするのは、現実的に困難であり、また、消費電力やEMI（電磁波妨害）の観点からも望ましくない。

**【0008】**本発明者は本願発明を完成させた後、第1乃至第3の公開公報の存在を認識した。第1の公開公報である特開平7-30380号公報には2相クロック信号で制御されるマスタラッチとスレーブラッチ間でデータを誤って伝送されないようにするラッチ技術が記載される。第2の公開公報である特開平8-88545号公報にはバッファに入ったパルス信号をデューティー比を崩さずに後段に伝送する技術が記載され、エッジ検出回路とラッチ回路の直列接続回路によってデューティー比補正回路を構成している。第3の公開公報である特開平7-212224号公報にはデューティー比50%の出力を形成する電圧制御発振器について記載されている。

**【0009】**特に、第3の公開公報には、差動のアナログ入力端子に結合された容量素子の充放電によって得られる差動の周波数信号をコンパレートして相補アナログ信号を形成し、これを、一対の NANDゲートを交差結合させたラッチ回路を直列2段用いて波形整形する。波形整形された相補クロック信号の間にはゲート1段分の遅延がある。波形整形した相補クロック信号は2入力 NANDゲートに入力され、前記2入力 NANDゲートの出力に、前記入力された相補クロック信号相互間のゲート遅延に相当する幅の狭いクロックを形成し、これを2分周して、デューティー比50%のクロック信号を形成するものである。更に、直列2段の前記ラッチ回路の終段からの相補出力は、前記容量素子を充放電させるためのスイッチ回路を相補的に動作させるために帰還されている。この構成において、直列2段で配置された NANDゲートによるラッチ回路は、コンパレータのアナログ出力を受け、このアナログ出力に対する波形整形を目的とし、さらに、波形整形された相補出力はコンパレータの入力側に配置された容量素子の充放電用電流スイッチ回路の相補スイッチ制御信号として帰還されるから、この直列2段のランドラッチ回路は、前記帰還系から分離して把握できる構成要素にはなり得ない。

**【0010】**以下の説明から明らかのように、本願発明

は上記公開公報に記載の発明とは技術的思想を異にし、また、それらの記載に基づいて容易に考えられるものでないと、確信する。

【0011】本発明の目的は、相補クロック信号を入力して論理動作を行う論理回路部においてクロック信号のデューティー比が崩れても順序回路の近傍でクロック信号のデューティー比を望ましい状態であるデューティー比大凡50%に回復することが容易なデューティー回復技術、そしてこれを適用した半導体集積回路を提供することにある。

【0012】本発明の目的は、クロック信号のデューティー比が大凡50%から大きくなってしまい小さくなってしまいそのデューティー比を望ましい大凡50%の状態に回復することが容易なデューティー回復技術、そしてこれを適用した半導体集積回路を提供することにある。

【0013】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0015】(1) 本発明の第1の観点はデューティー補正に直列2段のスタティックラッチを用いる。即ち、半導体集積回路は、位相差が大凡半周期でデューティー比が大凡50%の相補周期信号を発生する発振回路

(2) と、前記発振回路から出力される相補周期信号を所定の論理レベルに変換して位相差が大凡半周期の相補クロック信号を出力する出力変換回路(3)と、前記出力変換回路から出力される相補クロック信号を入力して論理動作を行う論理回路部(4)とを有する。前記論理回路部は、少なくとも出力変換回路で生ずる相補クロック信号のデューティーずれを補正して大凡50%に回復するデューティー補正回路(5)を含む。デューティー補正回路は、前記出力変換回路を経た相補クロック信号を入力する第1論理段(44, 54)と、前記第1論理段の出力を入力する第2論理段(45, 55)を有する。第1論理段は、第1の論理値の期間が大凡50%のデューティー比における第1の論理値の期間よりも短くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比へ補正し、前記第1の論理値の期間が大凡50%のデューティー比における第1の論理値の期間よりも長くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比より第1の論理値の期間を短く補正する論理動作を行う。第2論理段は、前記第1論理段から出力される相補クロック信号を入力し、第1の論理値の期間が大凡50%のデューティー比における第1の論理値の期間よりも短くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比へ補正し、デューティー比が大凡

50%の相補クロック信号に対しては論理値反転を行なって出力する。

【0016】 NANDゲートを利用する場合、図1に例示されるように、第1論理段は、相互に一方の NANDゲートの出力が他方の NANDゲートの入力に帰還接続され夫々の NANDゲートの他方の入力に前記位相差が大凡半周期の相補クロック信号が供給される第1の NANDラッチ回路(44)として構成し、第2論理段は、相互に一方の NANDゲートの出力が他方の NANDゲートの入力に帰還接続され夫々の NANDゲートの他方の入力に前記第1の NANDラッチ回路の夫々の NANDゲートの出力が供給される第2の NANDラッチ回路(45)として構成してよい。この構成によれば、図13に例示されるように、“H”期間が長い相補クロック信号に対して、第1の NANDラッチ回路はラッチ動作を行なうことによって、相補入力クロック信号のデューティー比を大凡50%に回復する。大凡デューティー比50%に回復された相補クロック信号に対して第2の NANDラッチ回路はインバータとして作用し、第2の NANDラッチ回路から、デューティー50%に回復された相補クロック信号が得られる。一方、図14に例示されるように“L”期間が長い相補クロック信号に対して第1の NANDラッチ回路は、インバータ動作を行なうことになり、これによって入力相補クロック信号の極性が反転される。第1の NANDラッチ回路で極性反転された相補クロック信号を入力する第2の NANDラッチ回路は、“H”期間の長い相補クロック信号に対するラッチ動作を行なうことにより、前述と同様に、相補クロック信号のデューティーを大凡50%に回復する。このように、“H”期間が長い状態或いは“L”期間が長い状態の何れの状態にデューティーがずれてもデューティーを大凡50%に回復することができる。しかも組合せ回路による論理動作だけで比較的簡単にデューティーを回復させることができる。

【0017】ノアゲートを利用する場合、図15に例示されるように、第1論理段は、相互に一方のノアゲートの出力が他方のノアゲートの入力に帰還接続され夫々のノアゲートの他方の入力に前記位相差が大凡半周期の相補クロック信号が供給される第1のノアラッチ回路(54)として構成し、第2論理段は、相互に一方のノアゲートの出力が他方のノアゲートの入力に帰還接続され夫々のノアゲートの他方の入力に前記第1のノアラッチ回路の夫々のノアゲートの出力が供給される第2のノアラッチ回路(55)として構成してよい。この構成によれば、ノアラッチ回路は、“L”期間が長い相補クロック信号に対してラッチ動作を行ない、“H”期間が長い相補クロック信号に対してインバータ動作を行ない、 NANDラッチ回路の場合とは極性が逆になるが、結果として、相補入力クロック信号のデューティーを大凡50%に回復する。

【0018】前記 NANDラッチ回路又はノアラッチ回路

はスタティックラッチ形態を有しているからゲート1段分の遅延に相当するデューティーずれを生ずることになる。このデューティーずれを極力小さくする手段として、前記第2のラッチ回路（第2のナンドラッチ回路、第2のノアラッチ回路）の夫々の出力に、ナンドラッチ回路の場合は論理閾値電圧が電源電圧の中間レベルよりも高く設定されたインバータを接続し、ノアラッチ回路の場合は論理閾値電圧が電源電圧の中間レベルよりも低く設定されたインバータを接続するとよい。或いは、前記第1及び第2のラッチ回路（44, 45）のナンドゲートの論理閾値電圧を電源電圧の中間レベルよりも高く設定すればよい。また、前記第1及び第2のラッチ回路（54, 55）のノアゲートの論理閾値電圧を電源電圧の中間レベルよりも低く設定すればよい。

【0019】デューティーずれはクロック選択やクロック供給停止などを制御するクロック制御論理回路でも生ずる。これによるデューティーずれも回復対象とする場合には、前記第1のラッチ回路（44, 54）の入力には夫々クロック制御論理回路（56A, 56B）を介して前記位相差が大凡半周期の相補クロック信号が供給されるようにすればよい。要するに、論理回路部のフリップフロップに近付けてデューティー補正回路を配置する。

【0020】〔2〕本発明の第2の観点は相補クロック信号における短い方の“H”期間の抽出又は短い方の“L”期間の抽出及び反転を行なって、或いはその逆に短い方の“L”の抽出又は短い方の“H”期間の抽出及び反転を行なって、大凡デューティー50%の回復を図ろうとするものである。即ち、半導体集積回路は、位相差が大凡半周期でデューティー比が大凡50%の相補周期信号を発生する発振回路と、前記発振回路から出力される相補周期信号を所定の論理レベルに変換して位相差が大凡半周期の相補クロック信号を出力する出力変換回路と、前記出力変換回路から出力される相補クロック信号を入力して論理動作を行う論理回路部とを有する。前記論理回路部は、前記出力変換回路で生ずる相補クロック信号のデューティーずれを補正して大凡50%に回復するデューティー補正回路を含む。前記デューティー補正回路は、図27に例示されるように、前記相補クロック信号のデューティー比を判定し、第1の論理値の期間が大凡50%のデューティー比における第1の論理値の期間よりも短くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比より第1の論理値の期間を短く維持し、前記第1の論理値の期間が大凡50%のデューティー比における第1の論理値の期間よりも長くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比より第1の論理値の期間を短く補正する論理動作を行う第1論理段（110）と、前記第1論理段から出力される相補クロック信号を入力しデューティー比を大凡50%とする補正を行

って出力する第2論理段（111）とを含む。

【0021】前記デューティー補正回路の具体的な態様によれば、位相差が大凡半周期の相補クロック信号の一方と他方の反転信号とを入力する第1のナンドゲート（70）と、前記位相差が大凡半周期の相補クロック信号の前記他方と前記一方の反転信号とを入力する第2のナンドゲート（71）と、によって第1の論理段を構成する。前記第1のナンドゲートの出力によってスイッチ制御され電源電圧と出力端子に接続された第1導電型の第1のトランジスタ（72）と、前記第2のナンドゲートの出力の反転信号によってスイッチ制御され回路の接地電圧と前記出力端子に接続された第2導電型の第2のトランジスタ（73）とによって第2の論理段を構成する。前記出力端子には容量（74）が接続される。容量（74）は、寄生容量のみを用いて半導体集積回路のレイアウト上で明示的に素子をレイアウトしないこともあるが、明示的に容量を設けた場合と動作は同じである。

【0022】前記第2の論理段には、図30に例示されるように、相互に一方のナンドゲート（78）の出力が他方のナンドゲート（79）の入力に帰還接続され夫々のナンドゲートの他方の入力に前記第1及び第2のナンドゲートの出力信号が供給されるナンドラッチ回路を採用してもよい。このとき、容量は必須ではない。

【0023】〔3〕本発明による第3の観点の半導体集積回路は、位相差が大凡半周期でデューティー比が大凡50%の相補周期信号を発生する発振回路と、前記発振回路から出力される相補周期信号を所定の論理レベルに変換して位相差が大凡半周期の相補クロック信号を出力する出力変換回路と、前記出力変換回路から出力される相補クロック信号を入力して論理動作を行う論理回路部とを有する。前記論理回路部は、前記出力変換回路で生ずる相補クロック信号のデューティーずれを補正して大凡50%に回復するデューティー補正回路を含む。前記デューティー補正回路は、図32に例示されるように、位相差が大凡半周期の相補クロック信号をそれぞれ2分周するフリップフロップ（80, 81）と、前記フリップフロップの出力を2入力とし、2入力の一致、不一致毎にクロック信号を状態変化させて出力する論理ゲート回路（82）とを含んで成る。前記発振回路は例えばP-L-S回路の電圧制御発振器である。

【0024】〔4〕前記第1及び第2の観点を共に含む上位概念的に把握した発明によれば、半導体集積回路は、位相差が大凡半周期でデューティー比が大凡50%の相補周期信号を発生する発振回路と、前記発振回路から出力される相補周期信号を所定の論理レベルに変換して位相差が大凡半周期の相補クロック信号を出力する出力変換回路と、前記出力変換回路から出力される相補クロック信号を入力して論理動作を行う論理回路部とを有する。前記論理回路部は、前記出力変換回路で生ずる相補クロック信号のデューティーずれを補正して大凡50%

%に回復するデューティー補正回路を含む。前記デューティー補正回路は、前記出力変換回路を経た相補クロック信号を入力する第1論理段と、前記第1論理段の出力を入力する第2論理段を有する。前記第1論理段は、前記相補クロック信号のデューティー比を判定し、第1の論理値の期間が大凡50%のデューティー比における第1の論理値の期間よりも短くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比へ補正し或いは大凡50%のデューティー比より第1の論理値の期間を短く維持し、前記第1の論理値の期間が大凡50%のデューティー比における第1の論理値の期間よりも長くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比より第1の論理値の期間を短く補正する論理動作を行う。前記第2論理段は、前記第1論理段から出力される相補クロック信号を入力しデューティー比を大凡50%にして出力する。

#### 【0025】

【発明の実施の形態】図1には本発明に係る半導体集積回路におけるクロック系が例示される。半導体集積回路1は、発振回路2、出力変換回路3、及び論理回路4を有する。発振回路2は、位相差が大凡半周期（単に位相差180°とも称する）でデューティー比が大凡50%の相補周期信号（単に差動信号とも称する）を発生する。相補周期信号はアナログ信号である。出力変換回路3は前記発振回路2から出力される差動信号を所定の論理レベルに変換して位相差180°の相補クロック信号を出力する。論理回路4は、前記出力変換回路3から出力される相補クロック信号を入力して論理動作を行う。前記論理回路4は出力変換回路3から出力される位相差180°の相補クロック信号のデューティー比が大凡50%からずれていてもこれを大凡50%に回復するデューティー補正回路5と、代表的に示されたDラッチのようなフリップフロップ6及び組合せ回路7とを有する。デューティー補正回路5から出力されるクロック信号は例えばフリップフロップ6のクロック端子CKに供給される。デューティー補正回路5の詳細は後述する。

【0026】前記発振回路2は例えば周波数可変の電圧制御発振器（VCO）又は電流制御発振器（ICO）である。このような発振回路2及び出力変換回路3は例えばPLL回路10に含まれる。PLL回路10は図2に例示されるように、発振回路2の発振出力が位相比較回路11に帰還され、帰還された発振出力と入力信号との位相が比較され、位相差の情報がループフィルタ12を通して発振回路2に与えられる。位相比較器11への帰還信号は図2の発振回路2から直接でなくとも良く、図3のように出力変換回路3の出力、或いは更に後段の論理回路部4から帰還させてもよい。また、発振回路2の発振周波数は入力信号周波数と等倍に限らず、図3のように、帰還経路に分周比nの分周器13を入れて発振回路2の発振周波数を入力信号周波数のn倍にすること

も可能である。

【0027】図4には発振回路2の一例が示される。同図に示される発振回路2は、帰還接続した3段の差動回路15を用いてリングオシレータとして構成される。各差動回路15は、電源電圧Vccからの電流I0の電流源16に差動入力MOSトランジスタ17, 18のソースが共通接続され、夫々のMOSトランジスタ17, 18のドレインには電流I0/2の電流源19, 20を介して回路の接地電位GNDに接続される。夫々のMOSトランジスタ17, 18のドレインには、遅延成分としての容量成分21, 22が結合され、また、ハイ側クランプ電圧VHとロー側クランプ電圧VLが印加される。

【0028】差動回路15を更に多段にすることにより、クランプ電圧VH, VLでとどまる時間が長くなり発振動作の安定性は改善される。その段数の短い3段は最高発振周波数が最も高くなる。図4では差動入力MOSトランジスタ17, 18にpチャンネル型MOSトランジスタを用いた構成としたが、nチャンネル型MOSトランジスタを用いる構成、バイポーラトランジスタ（NPN, PNP）を用いる構成にしてもよい。前記容量成分21, 22は、寄生容量のみを用いて半導体集積回路のレイアウト上で明示的に素子をレイアウトしないこともあるが、明示的に容量を設けた場合と動作は同じである。

【0029】前記電流源19, 20をnチャンネル型MOSトランジスタによるカレントミラー回路で構成すると、その各nチャンネル型MOSトランジスタのドレイン電流がゼロのときのVDS（ドレイン・ソース間電圧）がほぼゼロ電圧になり、ペア性も良いから、これに着目すれば、ロー側クランプ電圧VLの生成回路を省略しても、同様に動作する。図4の構成に対しMOSトランジスタの導電型と電源の極性を入れ換えた場合には、ハイ側クランプ電圧VHの生成回路を省略してよい。

【0030】図4の構成において、電流源16の電流I0と電流源19, 20の電流I0/2とを連動して変化させることにより発振回路2を可変周波数発振回路（ICO）として構成することができる。また、図4の構成において、ハイ側クランプ電圧VH或いはロー側クランプ電圧VL、又はその両方を変化させれば発振回路2をVCOとして動作させることができるが、この回路構成では電流を変化させた方が動作レンジが広くなる。

【0031】図5には図4の発振回路2の動作波形が例示される。図4の回路構成において動作レンジは、通常、電流を変化させた場合の方が広い。この回路では、各差動段15の左右に示されている素子17, 21, 19と素子18, 22, 20とのペア性が確保されることにより、ノードNa, Nbに得られる相補クロック信号は大凡50%のデューティ比になっている。デューティー比の崩れは前記素子のペア性のズレに起因する僅かな分だけである。発振回路2のノードNa, Nbに得られ

る相補クロック信号の位相差は180°にされる。

【0032】図6には前記出力変換回路3の一例が示される。出力変換回路3は、定電流源25にソースが結合されたpチャンネル型差動入力MOSトランジスタ26, 27のゲートに前記発振回路2のノードNa, Nbから相補クロック信号が供給される。差動入力MOSトランジスタ26, 27のドレインはnチャンネル型差動入力MOSトランジスタ28, 29のゲートに接続され、当該差動入力MOSトランジスタ28, 29にはpチャンネル型カレントミラー負荷MOSトランジスタ30, 31が設けられる。同様に、前記差動入力MOSトランジスタ26, 27のドレインはnチャンネル型差動入力MOSトランジスタ32, 33のゲートに接続され、当該差動入力MOSトランジスタ32, 33にはpチャンネル型カレントミラー負荷MOSトランジスタ34, 35が設けられる。負荷MOSトランジスタ31, 35に流されるミラー電流の作用により、Na電位がNb電位より高い時刻においては前段の負荷MOSトランジスタ31のドレイン電圧は次段の負荷MOSトランジスタ35のドレイン電圧に比べて高くされ、またNa電位がNb電位より低い時刻においてはその逆に負荷MOSトランジスタ31のドレイン電圧は次段の負荷MOSトランジスタ35のドレイン電圧に比べて低くされ、その結果負荷MOSトランジスタ31, 35のドレイン電圧を入力とするCMOSインバータ36, 37によって、ノードNg, NhにCMOSレベルの相補クロック信号が outputされる。CMOSインバータ36, 37の動作電源は電源電圧Vdd, 回路の接地電圧Vssである。尚、38, 39で示されるトランジスタは前記差動入力MOSトランジスタ26, 27のドレインに結合されたnチャンネル型のダイオード接続MOSトランジスタである。

【0033】この出力変換回路3により、発振回路の発振振幅の相補クロック信号のレベルがCMOSロジックレベルに変換される。ここで、相補クロック信号が出力変換回路3を通るとき、tpLHとtpHLに相違を生じ、ノードNg, Nhに得られる相補クロック信号のデューティー比が大凡50%からずれることが多くなる。tpLHとtpHLの相違は、信号がハイレベルからローレベルに変化するときと、ローレベルからハイレベルに変化するときの各電流経路における電流比が相違しているため、CMOSインバータの論理閾値電圧が中心からずれているように起因して生ずる。図7には例えば前者の要因によってデューティー比が50%からずれるときに様子が示される。(A)はデューティー比50%であるが、(B)はtpLHとtpHLの差によりデューティー比は50%からずれている。

【0034】《ナンドラッチ直列2段のデューティー補正回路》図1にはデューティー補正回路5の第1の例が示される。同図に示されるデューティー補正回路5はナンドゲート40, 41から成る第1のナンドラッチ回路

44と、ナンドゲート42, 43から成る第2のナンドラッチ回路45との直列回路によって構成される。第1のナンドラッチ回路44は相互に一方のナンドゲート40, 41の出力が他方のナンドゲート41, 40の第1入力に帰還接続され夫々のナンドゲート40, 41の第2入力に前記出力変換回路3からの位相差180°の相補クロック信号が供給される。第2のナンドラッチ回路45は、相互に一方のナンドゲート42, 43の出力が他方のナンドゲート43, 42の第1入力に帰還接続され夫々のナンドゲート42, 43の第2入力に前記第1のラッチ回路の夫々のナンドゲート40, 41の出力が供給される。

【0035】図1のデューティー補正回路の作用を理解し易くするために、先ず、ナンドラッチ回路の機能説明を行なう。図8にはナンドラッチ回路とその真理値表が示される。図8の真理値表の\*部分に示されるように、(入力1, 入力2) = ("L", "L")について、出力1、出力2がHとなるが、この後、入力1, 2が "H" 变化される時刻の順序によって出力が変わり、双方に入力が同時に "H" に変化しようとする場合には出力は不定になるから、ラッチとして動作させたい場合は、(入力1, 入力2) = ("L", "L")の状態に入ることは一般に推奨されていない。またこのため通常は使用されていない。

【0036】従ってラッチとして動作する場合は、図9に例示されるように、(入力1, 入力2) = ("H", "H")をベース状態とし、動作中にどちらか一方の入力のみが(比較的短い時間だけ) Lになるような入力の組合せに対して動作する。

【0037】一方、(入力1, 入力2) = ("L", "L")をベースとした場合はどのような動作をするかは、入力信号の順序やそもそもその入力信号 "H" / "L" や出力信号 "H" / "L" にアプリケーション上どのような意味を与えるかによって変わってくるが、動作の一例として比較的の意味が単純な、一方の入力を "L" に固定した場合の動作が図10に示される。図10において、入力2 = "L" 固定されているので、出力2は "H" 固定となり、出力1は入力1のインバート動作となる。

【0038】上記の点をタイミング的に考えてみると、図9のラッチ動作の場合は、たとえば入力2が "H" → "L" (時刻ti) の場合で見ると、(入力1, 入力2, それまでの出力1, それまでの出力2) = \* (\* ("H", "H") (→ "L"), "H", "L") の組合せの場合に限り、入力2のタイミングエッジ信号が出力1、出力2の両方に伝達されていることがわかる。同様に、入力1が "H" → "L" (時刻tj) の場合で見ると、(入力1, 入力2, それまでの出力1, それまでの出力2) = (\* ("H" (→ "L"), "H", "L", "H") の組合せの場合に限り、入力1のタイ

ミングエッジ信号が出力1、出力2の両方に伝達されていることがわかる。

【0039】一方で、図10のインバート動作の場合は、入力1のタイミングエッジ信号は“H”→“L”、“L”→“H”、ともに出力1に伝達されていることがわかる。

【0040】VCO (ICO) は差動形式のアナログ動作をしているので、発振回路2においては、2つのノードNa, Nbには、相互間の位相差が180度の関係を満たし、デューティー比も大凡50%の相補クロック信号が得られる。すなわち、一方のノードNaの出力の“H”→“L”的タイミングと、もう一方のノードNbの出力の“H”→“L”的タイミングの関係は位相差の180度で大凡デューティ50%関係を満たしている。デューティー比が大凡50%とは、例えば、デューティー50%に対してデューティー補正回路5におけるゲート1段分の遅延による誤差が含まれているような状態を意味する。

【0041】デューティー比を大凡50%とする相補クロック信号が、VCO2から出力変換回路3及び論理回路部4のロジック回路に入力されて伝播されると、

“L”→“H”と“H”→“L”的遷移において回路内の各デバイスの動作が違うため、t<sub>pLH</sub>とt<sub>pHL</sub>が相違することによってデューティー比が大凡50%のクロック信号に更にデューティずれを生ずる。デューティー補正回路5は、そのようにデューティーずれを生じていても実質的に180°の位相差を有する相補クロック信号の夫々の信号の入力の“H”→“L”的タイミングを一つの信号に合成して、大凡50%のデューティ比を回復するものである。“L”→“H”的タイミングを一つの信号に合成しても同じである。

【0042】ここで上記の、図9のラッチ動作と図10のインバート動作を組合せることにより、前記合成結果を出力とした場合、図11に例示されるように、出力1の“H”→“L”的タイミングを入力2の“H”→“L”で得て、同じく出力1の今度は“L”→“H”的タイミングを入力1の“H”→“L”から得れば、合成後の出力1には大凡デューティ比50%が回復可能である。出力2に関しては、出力2の“H”→“L”的タイミングを入力1の“H”→“L”で得て、同じく出力2の今度は“L”→“H”的タイミングを入力2の“H”→“L”から得られる。

【0043】図11の動作は、入力される相補信号の位相差が大凡180度（デューティ50%が得られる関係）にあって、2つの信号それがデューティ比として“H”的期間が“L”的期間よりも長い場合に成立。この入出力条件だけの組合せであればラッチと同様の動作であるが、入力としての相補クロック信号は常に“H”に期間が長いように制御されている必要がある。

これに対して“L”的期間の方が長い場合の動作例が図

12に示される。“L”が長い場合は、例えば入力1→出力1に着目すると、入力2が“L”的とき、入力1→出力1がインバータとして動作する部分が50%を超える（入力“L”が長いため）、かつ残りの期間は今度は入力1が“L”になっている（従って出力1=H）ので、結局入力1→出力1は全期間でインバータとして動作する。入力2→出力2も同様であり、このような入力条件では入力1/入力2→出力1/出力2はインバータと同様な波形にされる。

【0044】ナンドラッチ1段の作用を基礎として、今度は直列2段のナンドラッチ回路44, 45によるデューティー補正作用を図13及び図14に基づいて説明する。出力変換回路3からデューティー補正回路5に入るクロック信号は、差動クロック信号（相補クロック信号）であって、2つの信号間は位相差180°にあるが、デューティー比は大凡50%からすれば、差動関係にある相補クロック信号の一方で“H”期間が長ければ、相補クロック信号の他方でも同様に“H”期間が長くなっている。図13に例示されるように、“H”期間が長い場合は、IN1/IN2→ND1/ND2で図11と同様に大凡デューティ比50%が回復できる。一旦デューティ50%になればND1/ND2→OUT1/OUT2のような第2段目のナンドラッチ回路45を通して、インバータとして動作して極性が反転するのみで大凡デューティ比50%の関係は維持される。

【0045】一方、図14に例示されるように、“L”期間が長い場合は、図12の動作と同様に、IN1/IN2→ND1/ND2においてたとえばIN1→ND1に着目すると、IN2が“L”でIN1→ND1がインバータとして動作する部分が50%を超える（入力“L”が長いため）、かつ残りの期間は今度はIN1が“L”になっている（従ってND1=“H”）ので、結局IN1→ND1は全期間でインバータとして動作する。IN2→ND2も同様であり、このような入力条件ではIN1/IN2→ND1/ND2はインバータと同様な波形がND1/ND2に出力される。ND1/ND2では極性が逆になり、今度は“H”が長い波形になり、かつ差動の2つの信号間は位相差180度にある。従って、“L”期間が短くなるような入力条件でも、図14に例示される如く、大凡デューティ比50%が回復できる。

【0046】図13の出力OUT1, OUT2と図14の出力OUT1, OUT2は入力IN1, IN2のエッジ変化に対して逆エッジになっている。逆エッジであっても、ここで再生若しくは補正されるクロック信号が論理回路部における基準クロックのような用い方をされるから何ら支障ない。また、図3のように発振回路2がPLL回路を構成するとき、デューティー補正回路5の出力OUT1をPLL回路の位相比較回路11に帰還し、かつそれと同相または反転の一定のクロック信号を後段の論理回路部に送ることにより、デューティー補正回路

5の出力の位相が基準信号と一定の位相関係で固定するようなクロック信号を論理回路部に供給可能になる。

【0047】発振回路2から供給される相補クロック信号のデューティ比が元々ほとんど50%近くにされていて、ジッタやノイズで図13と図14の動作が途中で切替るような場合を想定しても、位相差が180°であるからどちらでも出力波形は同等になり、従って出力のデューティ比はこの場合でも発振回路2からのジッタやノイズによる位相差の僅かなずれ分以上には劣化しない。

【0048】《ノアラッチ直列2段のデューティー補正回路》図15にはデューティー補正回路5の第2の例が示される。デューティー補正回路5はノアゲートラッチで構成することも可能である。同図に示されるデューティー補正回路5はノアゲート50, 51から成る第1のノアラッチ回路54と、ノアゲート52, 53から成る第2のノアラッチ回路55との直列回路によって構成される。第1のノアラッチ回路54は相互に一方のノアゲート50, 51の出力が他方のノアゲート51, 50の第1入力に帰還接続され夫々のノアゲート50, 51の第2入力に前記出力変換回路3からの位相差180°の相補クロック信号が供給される。第2のノアラッチ回路55は、相互に一方のノアゲート52, 53の出力が他方のノアゲート53, 52の第1入力に帰還接続され夫々のノアゲート52, 53の第2入力に前記第1のノアラッチ回路の夫々のノアゲート50, 51の出力が供給される。

【0049】夫々のノアラッチ回路54, 55の作用は、 NAND ラッチ回路の説明から容易に類推され得るよう、差動入力信号のデューティの“L”期間が長い場合には、図16に例示されるようなラッチ動作（図11の説明に類似）とされる。逆に、差動入力信号のデューティの“H”期間が長い場合には、特に図示はしないが、図12の説明と同様にインバータとして機能される。これより、図15のデューティー補正回路は、特に図示はしないが、“L”期間が長い相補クロック信号に対して、図13で説明したのと同様に、第1段目のノアラッチ回路54で大凡デューティー比50%に、次段ノアラッチ回路55で反転され、位相差180°が保たれた大凡デューティー比50%の相補クロック信号が再生される。また、図15のデューティー補正回路5は、特に図示はしないが、“H”期間が長い相補クロック信号に対して、図14で説明したのと同様に、第1段目のノアラッチ回路54で相補クロック信号を反転し、次段ノアラッチ回路55で大凡デューティー比50%の相補クロック信号が再生する。

【0050】デューティー補正回路5をノアラッチ回路で構成しても、 NAND ラッチ回路を用いた回路に比べて対応する極性が逆になる点が相違するだけであるから、それと同様のデューティー補正機能を実現することができる。

【0051】《クロック制御論理の前置》通常、半導体集積回路においては、クロック信号は後段の論理回路部の各フリップフロップのクロック入力端子に供給される前に適宜の組合せ回路を通る場合が多い。例えば、クロック信号の選択や停止／印加の制御、或いは分周比を変える選択制御、また、通常クロック信号とテスト時のテストクロック信号の選択、内部発振クロック信号と外部入力クロック信号の選択、などを行なう組合せ回路が介在される。クロック信号がそのような組合せ回路を通ると、 $t_{pLH}$  と  $t_{pHL}$  の値が異なると、後段の論理回路に伝達されるクロック信号はその分だけ更にデューティ比がずれる。

【0052】図17にはクロック制御論理がデューティー補正回路に前置される例が示される。図17の例では、出力変換回路3から出力される相補クロック信号の各信号経路に、クロック制御論理回路56A, 56Bを差動化すなわちデュアル化して夫々介在させ、一対のクロック制御論理回路56A, 56Bから得られる相補クロック信号を前記デューティー補正回路5に供給する。

【0053】ここでクロック制御論理回路56Aにおいて、出力変換回路3からの入力クロック信号とデューティー補正回路5への出力クロック信号との間における  $t_{pLH1}$  と  $t_{pHL1}$  のずれはデューティ補正回路5により補正可能である。同様に他方のクロック信号に関する  $t_{pLH2}$  と  $t_{pHL2}$  のずれも補正可能である。これらのはずれは、回路内において動作する素子の特性や動作条件の相違、例えば、一方の信号遷移ではpチャンネル型MOSトランジスタがオンなら、他方の信号遷移ではnチャンネル型MOSトランジスタがオン、あるいはその逆、又は、電圧条件も一方の信号遷移が“H”側なら、他方の信号遷移では“L”側、あるいはその逆、などによる相違に起因するから、回路の設計段階において中心値を合わせるときに工夫が必要であり、またばらつきも大きくなる。従ってデューティ補正回路5のデューティ補正の効果は大きい。

【0054】 $t_{pLH1}$  と  $t_{pLH2}$  のずれは補正できず出力のデューティずれになる。 $t_{pHL1}$  と  $t_{pHL2}$  のずれも補正できず出力のデューティずれになる。但し、これらはいわゆる  $t_{pd}$  の回路による差であり、たとえば回路を同等にしてレイアウトで同じ形状で近接配置するなど配線を含めてペア性が満たされるような設計を行なえば、IC内素子のペア性によりこれらの差は十分小さくすることができる。

【0055】図17の例では×1倍クロックと×1/2分周クロックから後段へ出力するクロックを選択する組合せ論理の  $t_{pLH}$  と  $t_{pHL}$  の差によるデューティずれを補正する回路の例が示される。クロック制御論理回路56A, 56Bにおいて、アンドゲート57, 58、オアゲート59、及びインバータ60は2入力セレクタを構成する。フリップフロップ61は分周回路を構成す

る。図17の回路では、クロック制御論理回路56A, 56Bの中にフリップフロップ61が入っているが、発振回路2からデューティ補正回路5までの×1倍のメインのバス（図中太線で表示される経路）にはフリップフロップではなく、この×1倍のメインのバスのクロック信号に関しては組合せ論理の $t_{pLH}$ と $t_{pHL}$ の差によるデューティずれの補正が可能である。

【0056】図18に例示されるようにデューティー補正回路5の後段にクロック制御論理回路56を配置すると、このクロック制御論理回路56により $t_{pLH}$ と $t_{pHL}$ の値が異なってクロック信号にデューティずれが残ってしまう。

【0057】図19には通常クロック信号とテストクロック信号と択一的に選択するセレクタの一例が示される。このセレクタは前記クロック制御論理回路56A, 56B, 56の別の例である。

【0058】《ゲート遅延によるデューティーずれ対策》以上説明した NAND ラッチやノアラッチ形態のデューティー補正回路5では、ゲートの帰還接続に起因して、実際には1ゲートの遅延分だけデューティ比50%からのずれがある。

【0059】図20には、図1の回路において“H”が長いような位相差180度の相補クロック信号を入力したとき、ゲート遅延も考慮したときの信号波形が示される。ここでは $t_{pLH}$ ,  $t_{pHL}$ をほぼ同じ、VLT (ロジックスレッショルド電圧) を回路内では $VH$ と $VL$ の中央付近 ( $VLT = (VH + VL) / 2$ ) とし、さらにこの出力を受け取る後段のロジックの入力ノードのVLTも $VLT = (VH + VL) / 2$ とした場合について示す。同図に示されるデューティずれ分はデューティー50%に対して1ゲート分の遅延時間に相当する。

【0060】図21には図1の回路において“L”的期間が長いような位相差180度の差動クロックを入力した場合の例であり、ここでも同様に1ゲート分の遅延時間に相当するデューティずれを生ずる。

【0061】このずれ分による性能劣化は、相補クロック信号周波数がある程度以上に高くなる場合に顕在化される。デューティ比50%をできるだけ確保するには、VCO/ICOを2倍の周波数で発振させ、その発振出力を2分周することも考えられるが、実際には2分周回路も同様に1ゲートの遅延分だけデューティずれがあるから、実質的な意味はないと考えられる。また、回路構成や回路方式、回路定数設計、(ロジックの)レイアウト、で工夫して、デューティーずれを小さくすることも可能であるが、限界がある。また、そのようなデューティーずれを検出して対処しようとする場合には、何らかの検出手段が必要であり、その場合の問題点は、その検出手段の中央値がデューティ比50%ちょうどに対応しているか、或いはずれている場合にはどの程度かを認識しなければならない。

【0062】図22にはデューティー補正回路に1ゲート遅延分のデューティずれ対策を施した回路の第1の例が示される。この例に示される1ゲート遅延分のデューティずれ対策は、1ゲートの $t_{pD}$ の設計中心値がデューティずれ分の設計中心値であり、1ゲートの $t_{pD}$ のばらつき最大値（と各差動部分のペア性）がデューティずれの最大値を決めるファクタになるという点に着目している。ここで閾値の異なるラッチ45とインバータ65を接続することにより、デューティずれ分の設計中心値をよりゼロに近づけ、ひいてはそのばらつきの最大値に対しても50%からのずれがより小さくされる。即ち、前記デューティー補正回路5の次段に、VLT (論理閾値電圧) を高めに設定したインバータ65を設ける。図22の例で前記インバータ65の出力をCMOSインバータ66で増幅してから相補クロック信号として後段に供給するようになっている。図23にはこのときの波形図が例示され、インバータ65の論理閾値電圧が高めに設定されることにより、例えば時刻 $t_i$ にNE2が NANDゲート43の論理閾値電圧を超えてNE1の変化が開始されるが、NE2がNF2へ接続されるインバータ65の論理閾値電圧を超えるのはそれよりも後の時刻であり、その後、時刻 $t_j$ でNE1がNF1へ接続されるインバータ65の論理閾値電圧を超え、時刻 $t_i$ から $t_j$ までの時間が今までよりも短くされ、かつNE2がNF2へ接続されるインバータ65の論理閾値電圧を超える時刻がほぼ $t_j$ に一致するようにインバータ65(2ヶ)の論理閾値電圧を設定することにより、デューティ比50%からのずれが小さくされる。

【0063】論理閾値電圧を標準的な値から高めにすることは、pチャンネル型MOSトランジスタとnチャンネル型MOSトランジスタの夫々の閾値電圧を変更し、あるいは複数の閾値電圧のデバイスを予め用意しておき後から何れかを選択できるようにしてもよい。あるいはデバイス特性を同じとしてもpチャンネル型MOSトランジスタとnチャンネル型MOSトランジスタのサイズ比を変えることによっても実現できる。例えば、図24の(A)において、接続はCMOSインバータと同じであるが、通常のインバータにおけるpチャンネル型MOSトランジスタとnチャンネル型MOSトランジスタのサイズ比よりも、○で囲んだpチャンネル型MOSトランジスタをより大きく構成する。また、図24の(B)に例示されるように、多入力 NANDゲートたとえば3入力 NANDゲートの入力を短絡させて実効的にトランジスタサイズ比を変えたと同様の効果を得ることも可能である。

【0064】前記論理閾値電圧の変更は、図のインバータ65に対してだけ実施すればよく、どの程度の変更が良いかは個別の製造プロセス等に依存する。また、こういった意識的にトランジスタサイズ比を変えた論理ゲートは $t_{pLH}$ と $t_{pHL}$ の差が変わってきて、かつ負荷

によりその遅延あるいは遅延時間差の変動が大きくなる傾向にある。したがって、このような追加をする場合は、図2.2に例示されるように、そのゲート65の次段に、近接してたとえばインバータ66を1ヶのみ接続し、後段への出力OUT1, OUT2はその後から取り出すようにすれば、ゲート65の負荷が小さくかつ回路レイアウトが変わっても、OUT1, OUT2に遅延時間差の変化がないようにすることが可能になる。

【0065】図25にはデューティー補正回路に1ゲート遅延分のデューティずれ対策を施した回路の第2の例が示される。この例に示される1ゲート遅延分のデューティずれ対策は、 NANDランチ回路44, 45を構成する NANDゲート40A～43Aの論理閾値電圧を低めにして実現するものである。論理閾値電圧を低めにするには、前述の高めにする場合に対して特性的に反対のことを実施すればよい。但し、 NANDゲートは図24の(B)から類推できるように論理閾値電圧は本来高めになりがちなので、 注意が必要である。

【0066】図25の例でも、論理閾値電圧をずらした NANDゲートは  $t_{pLH}$  と  $t_{pHL}$  の差が変わり、特に負荷に依存して大きくなる傾向があるので、前の例と同様に、 NANDゲート 42A, 43A の出力 NE1, NE2 を CMOS インバータ 66 で受けてそこから後段に送るというようにするとよい。図26にはこのときの波形図が例示され、 NANDゲート 40A～43A の論理閾値電圧が高めに設定されることにより、 デューティーずれが小さくされる。

【0067】以上では NAND ゲートによるデューティ補正回路 5 について、1 ゲートの遅延時間分のデューティずれの補正方法を説明したが、たとえば図 15 に示されるようなノアゲートによるデューティ補正回路 5 についても、極性および論理閾値電圧の高低をそれぞれ逆にすることにより、同様の効果が得られることは明らかである。

【0068】《短い方のパルス期間抽出を用いたデューティー補正回路》図27にはトランസファゲートを用いたデューティー補正回路が例示される。同図に示されるデューティー補正回路は、位相差180°の相補クロック信号の一方IN1と他方IN2の反転信号とを入力する第1の NANDゲート70と、前記位相差180°の相補クロック信号の他方IN2と一方IN1の反転信号とを入力する第2の NANDゲート71と、前記第1の NANDゲート70の出力によってスイッチ制御され電源電圧Vddと出力端子OUT1に接続されたpチャンネル型のMOSトランジスタ72と、前記第2の NANDゲート71の出力の反転信号によってスイッチ制御され回路の接地電圧Vssと前記出力端子OUT1に接続された第2導電型の第2のトランジスタ73とを有する。前記出力端子OUT1には容量74が接続される。容量74は、配線の寄生容量或いは次段インバータ75の入力ゲ

ートであってよい。出力端子OUT1の信号はインバータ75で増幅されて反転信号OUT2とされる。76～78はインバータである。

【0069】図27のデューティー補正回路は第1の論理段110と第2の論理段111として把握することができる。第1の論理段110は、前記相補クロック信号IN1, IN2のデューティー比を判定し、“L”期間が大凡50%のデューティー比における“L”期間よりも短くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比より“L”期間を短く維持し、前記“L”期間が大凡50%のデューティー比における“L”期間よりも長くされるデューティー比の相補クロック信号に対しては大凡50%のデューティー比より“L”期間を短く補正する論理動作を行う。第2論理段111は、前記第1論理段110から出力される相補クロック信号を入力しデューティー比を大凡50%とする補正を行って出力する。

【0070】図28には図27のデューティー補正回路5に“H”期間の長い相補クロック信号が供給されたときの動作波形が示される。図29には図27のデューティー補正回路5に“L”期間の長い相補クロック信号が供給されたときの動作波形が示される。それら動作波形からも明らかかなように、同図に示されるデューティー補正回路5は、 NANDゲート70, 71により、相補クロック信号IN1, IN2の短い方の期間を“L”期間とする信号をノードND1, ND2に出力する。これによつて、オン動作期間が重なることなくトランジスタ72, 73が交互にスイッチ制御される。2個のトランジスタ72, 73がいずれもオフの期間があるが、容量(寄生を含む)74で出力状態の保持が可能であり、これによつて、大凡デューティー比50%のクロック信号OUT2が得られる。特に、この例では、次段の負荷を考慮して、出力OUT1をインバータ75で増幅している。

【0071】図30には短い方のパルス期間抽出でデューティー補正を行なう別の回路が示される。同図に示されるデューティー補正回路は、図27のMOSトランジスタ72, 73を NAND ラッチ回路に置き換えて構成される。NANDゲートラッチ回路は、2入力NANDゲート78, 79の相互に一方の入力を他方の出力に交差結合して構成される。この構成においても、NANDゲート70, 71により、相補クロック信号IN1, IN2の短い方の期間を“L”期間とする信号をノードND1, ND2に出力する。この出力はNANDゲート78, 79によるNANDラッチ回路でラッチされて、出力OUT1, OUT2が形成される。出力波形は図28及び図29と同じである。

【0072】尚、図27及び図30の構成は、図1、図15のデューティー補正回路と比較すると、回路規模がやや大きく、また入力段にあるインバータ76、77の

分だけND1, ND2のパルス幅が細くなる。よって、最大動作周波数という点では、図1、図15のデューティー補正回路の方が優れていると考えられる。

【0073】《その他のデューティー補正回路》以上説明したデューティー補正回路5は図31の概念的な構成に含まれる具体例として位置づけることができる。即ち、発振回路は、差動構成により、位相差大凡180°、デューティ比大凡50%となっている。出力変換回路の出力波形IN1, IN2はデジタル信号である。IN1, IN2の波形は差動出力でデジタルであり、位相差は大凡180°が保たれているが、デューティ比は出力変換回路3により大凡50%からずれていることがある。デューティ補正回路5は、位相差180°の差動信号IN1, IN2の同一遷移方向エッジから、1本の出力OUT1にデューティ大凡50%信号を出す。出力の態様は、(1) IN1の立上りエッジでOUT1が立上り、かつ、IN2の同じ立上りエッジでOUT1が立下る。(2) IN1の立下りエッジでOUT1が立上り、かつ、IN2の同じ立下りエッジでOUT1が立下る。(3) IN1の立上りエッジでOUT1が立下り、かつ、IN2の同じ立上りエッジでOUT1が立上る。(4) IN1の立下りエッジでOUT1が立下り、かつ、IN2の同じ立下りエッジでOUT1が立上る。この何れかの態様でデューティー補正動作を行なう。そして、IN1, IN2のデューティが50%以上であっても以下であってもデューティー補正動作を行なう。このとき、IN1, IN2のエッジで内部の小さい遅延による微分波形相当の細いパルスを出すことなく、IN1, IN2入力からのレベル、タイミングからの論理動作のみでデューティー補正動作を行なう。第1論理段LOG1は、デューティが長いかどうかを判定し、長い場合にそれを50%またはそれ以下に変換する。第2論理段は、50%以下の波形からデューティ50%を出力する。

【0074】ここでIN1, IN2のデューティが“長い”かどうかは、後段の第2論理段LOG2が、図1のように NANDゲート主体の構成のように“L”への遷移で動作が始まる場合は「“L”が長い」かどうかを意味する。後段の第2論理段LOG2が図15のようにノアゲート主体の構成のように“H”への遷移で動作が始まる場合は「“H”が長い」かどうかを意味する。トランスマニアゲートを用いる構成についても、“L”でアクティブとなるpチャンネル型MOSトランジスタに対しては「“L”が長い」かどうかを意味し、“H”でアクティブとなるnチャンネル型MOSトランジスタに対しては「“H”が長い」かどうかを意味する。

【0075】この第1論理段LOG1及び第2論理段LOG2によって構成されるデューティー補正回路5は、前記 NANDラッチ回路の直列2段構成に代表される前述の構成以外によっても実現可能であることは言うまでも

ない。

【0076】図32には更に別のデューティー補正回路の例が示される。同図に示されるデューティー補正回路5は、D型のフリップフロップ回路80, 81と排他的オア・ノアゲート(排他的論理和・負論理和)82によって構成される。ラッチ回路80, 81のクロック端子CKに相補クロック信号IN1, IN2が供給され、立ち下がりエッジに同期して、入力IN1, IN2の2分周信号をデータ端子Q, QからノードND1, ND2に出力する。ノードND1, ND2の信号は排他的オア・ノアゲート82で一致・不一致が判定され、出力OUT1には不一致で“H”、一致で“L”を出し、出力OUT2には不一致で“L”、一致で“H”を出力する。図33には図32のデューティー補正回路の動作波形が示される。この波形図からも明らかのように、デューティーずれのある入力IN1, IN2に対して大凡デューティー比50%の出力OUT1, OUT2を得ることができる。但し、2個のフリップフロップ80, 81を用いるので、図1で説明した直列2段の NANDラッチ回路を用いる構成に比べて回路規模も大きく、一対のフリップフロップの内部動作遅延の差によってデューティずれが比較的大きく残る虞も高い。

【0077】《デューティー補正回路の適用システム》図34には光ディスク装置のブロック図が概略的に示される。ディスク85の記録情報はピックアップ86で読み取られ、読み取られた信号はリード・ライトアンプ87で増幅され、高周波信号としてリードチャネル88に供給される。リードチャネル88で復号されたデータはコントローラ89を介してホストシステムに与えられる。また書き込み可能な光ディスク装置においては、ホストシステムからコントローラ89に与えられた書き込みデータはリードチャネル88で符号化され、リード・ライトアンプ87でピックアップ86を駆動してディスク85に書き込まれる。コントローラ89は、ホストシステムから与えられるリードコマンドに応答して読み出し動作を制御し、ホストシステムから与えられるライトコマンドに応答して書き込み動作を制御する。モータドライバ90はディスク85の回転駆動、ピックアップ86のトラッキング駆動を行なう。

【0078】図35にはリードチャネル88の一例が示される。リード・ライトアンプ87からの高周波信号はオートゲインコントローラ(AGC)93でゲイン調整されイコライザ96で等化され、判定回路97でデータの“1”, “0”判定が行われる。判定回路97の1/0検出方式には、応用により、レベル検出、ピーク検出、ビタビ復号、などいくつかの方式がある。その判定結果に対してデコーダ98で記録情報の復号が行なわれる。復号されたデータはホストシステムに供給される。ホストシステムから供給された書き込みデータはエンコーダ99で所定のフォーマットに符号化され、リード・ライト

アンプ87に供給される。リードチャネル88は例えば1個の半導体基板に形成されて半導体集積回路化されている。リードチャネル88の内部動作はクロック信号に同期され、そのクロック信号を生成するPLL回路10が設けられている。PLL回路10はLPF94の出力又はイコライザ96の出力を入力して同期クロック信号を再生する。このPLL回路10は例えば図9に例示される構成を有し、PLL回路10の終段には前記出力変換回路3が配置され、それによるデューティーずれを補正するために前記デューティー補正回路5が配置され、このデューティー補正回路5から出力されるクロック信号を基準クロック信号としてリードチャネル88が動作される。

【0079】PLL回路10における帰還信号は図2等で説明したように、回路構成に応じてVCOの出力、或いは出力変換回路3の出力などにされるが、本発明のデューティ補正回路5を適用した半導体集積回路においては、図36に例示されるように、デューティー補正回路5の出力を位相比較回路11に帰還させる構成とするのが通常である。あるいはデューティ補正回路5の後段で論理処理を行なった後で位相比較回路11に帰還させることも可能である。

【0080】光ディスク装置はDVD（デジタル・ビデオ・ディスク）装置、CD-ROM（コンパクト・ディスク-ROM）装置等であってよい。更に、HDD（ハードディスクドライブ）装置のような磁気ディスク装置にも図34乃至図36の構成を採用することができる。HDD装置では近年ピーク検出に代えてビタビ復号処理で“1”、“0”判定を行なう、いわゆるPRML方式が主流であり、ここでイコライザ96の前段にAD変換回路（図示せず）を配置し、イコライザ96をデジタル回路にて実施することが多い。高速LAN（ローカルネットワーク）等のデータ通信でも同様に適用可能である。また、デューティー補正回路はリードチャネルだけに限らず、CPU（中央処理装置）、MPU（マイクロプロセッサユニット）、DSP（デジタルシグナルプロセッサ）にも適用可能である。

【0081】光ディスク装置や磁気ディスク装置ではデータ読み取り速度の高速化のために信号周波数若しくは動作周波数が高く、そのような適用分野では相補クロック信号の50%からのデューティーずれを小さくできることは、データ再生動作などの動作の信頼性を向上させ、また、一層の高速化への対応を可能にするという効果を得ることができる。

【0082】VCOのような発振回路2は図4のような構成に限定されない。図37に例示されるように、発振器101へ直接には帰還系を持たない回路構成によって実現することも可能である。図37の発振回路2は、発振器101、多相化回路102、及び位相セレクタ103によって構成される。多相化回路102が8相の場

合、各相（0）（1）…（7）の位相差は、相数がn相の場合、1相あたり $360/n^\circ$ となり、図38に例示される多相クロック信号を生成する。図38の例では、位相（7）の次は位相（0）になる。また、位相（4）（5）（6）（7）は、回路が差動構成になっている場合は、位相（0）（1）（2）（3）の逆相を出力すればよい。たとえば図38の（A）に例示されるように、位相（0）の信号を出し続ければ、周波数は $f_0$ のままである。他の（1）～（7）の各相でも、同じ位相を出し続ければ周波数は同じく $f_0$ のままになる。また、図38の（B）に例示されるように、位相が、（0）（0），（1）（1），…（7）（7），（0）（0）…の順序になるようにクロック信号を出力し続けた場合、周波数は $f_0/(1+1/(2*n))$  [n=8]となる。記号\*は乗算器号である。出し続ける順序が定常的であれば周波数も一定である。但し、 $360/n^\circ$ のピーク・ツーピークのジッタを持つ。位相の量子化に起因するものである。

【0083】図37の構成は、位相選択をリアルタイムで制御することにより、VCOとしての機能を持つ。ジッタはどの場合でも量子化に起因する $360/n^\circ$ のピーク・ツー・ピークのジッタ成分があり、その他にPLLループ特性に起因するジッタ成分がある。逆に発振回路の制御電圧入力に対する過渡応答は定常時はほとんどないという利点を有する。図1等で説明される発振回路2（VCOを含む）を図37のような構成とした場合であっても図1等で説明されるデューティ補正回路5は同様に有効である。

【0084】以上説明したデューティー補正回路を適用したHDD、DVDにおける高速リードチャネルLSI等で、2倍周波数でのVCO発振が難しい場合、デューティー補正回路は、発振回路2のアナログ出力をデジタルへレベル変換する回路出力変換回路3におけるデューティ比大凡50%からのずれをデジタルにに入ったところ、或いは順序回路に入る直前でデューティ比大凡50%に回復でき、その後のt<sub>p</sub>LH、t<sub>p</sub>HLによるデューティずれに対するマージンを広げることができ、ひいてはより高速な動作を可能にすることができる。

【0085】また、PLL回路を用い、その出力クロック信号がデューティ比大凡50%となるようにVCO発振周波数を2倍としてデジタルに入ったところで2分周している高速のロジックLSIに対し、VCO発振周波数を1倍にして前記デューティー補正回路を追加することにより、VCO発振周波数を下げることができ、その分、より高速、より低消費電力、より低EMI輻射、等を可能にすることができる。

【0086】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0087】例えば、デューティー補正回路を構成するスタティックラッチ形態の NANDゲートやノアゲートは2入力に限定されず、3入力以上であってもよく、クロックイネーブル信号等を入力してクロック制御ゲートを兼ねるようにしてもよい。

【0088】また、PLL回路などのクロック源を半導体集積回路内のブロック毎に配置する構成にも適用することができる。また、本発明は、HDDやDVDなどのストレージメディア用途のリードチャネルだけでなく、通信用或いはLAN用の受信LSI、マイクロコンピュータやDSPなどのデータ処理LSIにも広く適用可能である。

#### 【0089】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0090】本発明に係るデューティー補正の手段により、相補クロック信号を入力して論理動作を行う論理回路部においてクロック信号のデューティー比が崩れても順序回路の近傍でクロック信号のデューティー比を望ましい状態であるデューティー比大凡50%に回復することが容易になる。また、クロック信号のデューティー比が大凡50%から大きくなても小さくなてもそのデューティー比を望ましい大凡50%の状態に回復することが容易になる。

【0091】デューティー補正回路を適用したHDD、DVDにおける高速リードチャネルLSI等で、2倍周波数でのVCO発振が難しい場合、デューティー補正回路は、アナログ発振回路のアナログ出力をデジタル信号に変換する回路出力変換回路で生ずるデューティー比大凡50%からのずれを、順序回路に入る直前等の後段部分でデューティー比大凡50%に回復でき、その後のt<sub>p</sub>LH、t<sub>p</sub>HLによるデューティーずれに対するマージンを広げることができ、ひいてはより高速な動作を可能にすることができる。また、PLL回路などにおいてVCO発振周波数を2倍とし後段で2分周するような手段を用いる必要はなく、VCO発振周波数を1倍にして前記デューティー補正回路を追加することにより、VCO発振周波数を下げることができ、その分、より高速、より低消費電力、より低EMI輻射、等を可能にすることができる。

#### 【図面の簡単な説明】

【図1】本発明に係る半導体集積回路におけるクロック系を代表的に例示した説明図である。

【図2】PLL回路の一例を示すブロック図である。

【図3】PLL回路の別の例を示すブロック図である。

【図4】発振回路の一例を示す回路図である。

【図5】図4の発振回路の動作波形を例示する波形図である。

【図6】出力変換回路の一例を示す回路図である。

【図7】t<sub>p</sub>LH、t<sub>p</sub>HLによるデューティーずれの様子を例示する波形図である。

【図8】 NANDラッチ回路の機能説明図である。

【図9】 NANDラッチ回路のラッチ動作タイミングを例示する波形図である。

【図10】 NANDラッチ回路のインバータ動作タイミングを例示する波形図である。

【図11】 NANDラッチ回路にデューティ比として“H”の期間が“L”の期間よりも長い相補クロック信号が入力されたときの動作波形図である。

【図12】 NANDラッチ回路にデューティ比として“L”の期間が“H”の期間よりも長い相補クロック信号が入力されたときの動作波形図である。

【図13】 NANDラッチ回路2段によるデューティー補正作用を“H”期間が長い場合について示す波形図である。

【図14】 NANDラッチ回路2段によるデューティー補正作用を“L”期間が長い場合について示す波形図である。

【図15】 直列2段のノアラッチ回路でデューティー補正回路を構成した例を示す論理回路図である。

【図16】 図15のデューティー補正回路におけるデューティの“L”期間が長い場合の動作波形図である。

【図17】 クロック制御論理回路がデューティー補正回路に前置される例を示す論理回路図である。

【図18】 デューティー補正回路の後段にクロック制御論理回路を配置したときの状態を示す論理回路図である。

【図19】 クロック制御論理の一例であるセレクタを示す論理回路図である。

【図20】 図1の回路において“H”が長いような位相差180度の相補クロック信号を入力したとき、ゲート遅延も考慮したときのデューティー補正回路の動作信号波形図である。

【図21】 図1の回路において“L”が長いような位相差180度の相補クロック信号を入力したとき、ゲート遅延も考慮したときのデューティー補正回路の動作信号波形図である。

【図22】 デューティー補正回路に1ゲート遅延分のデューティずれ対策を施した回路の第1の例を示す論理回路図である。

【図23】 図22の回路の動作波形図である。

【図24】 論理閾値電圧を標準的な値から高めに設定したインバータを例示する回路図である。

【図25】 デューティー補正回路に1ゲート遅延分のデューティずれ対策を施した回路の第2の例を示す論理回路図である。

【図26】 図25の回路の動作波形図である。

【図27】 トランസファゲートを用いたデューティー補正回路を例示する回路図である。

【図28】図27のデューティー補正回路に“H”期間の長い相補クロック信号が供給されたときの動作波形図である。

【図29】図27のデューティー補正回路に“L”期間の長い相補クロック信号が供給されたときの動作波形図である。

【図30】図22のトランスマジックゲートに代えて NAND ラッチ回路を採用したデューティー補正回路の論理回路図である。

【図31】デューティー補正回路の構成を上位概念的に示すブロック図である。

【図32】デューティー補正回路の更に別の回路を示す論理回路図である。

【図33】図32のデューティー補正回路の動作波形図である。

【図34】光ディスク装置のブロック図である。

【図35】リードチャンネルの一例を示すブロック図である。

【図36】デューティー補正回路の出力を位相比較回路に帰還させる形式のPLL回路を示すブロック図である。

【図37】多相クロック信号を選択的に出力する機能によってVCOに代替し得る発振回路を例示するブロック図である。

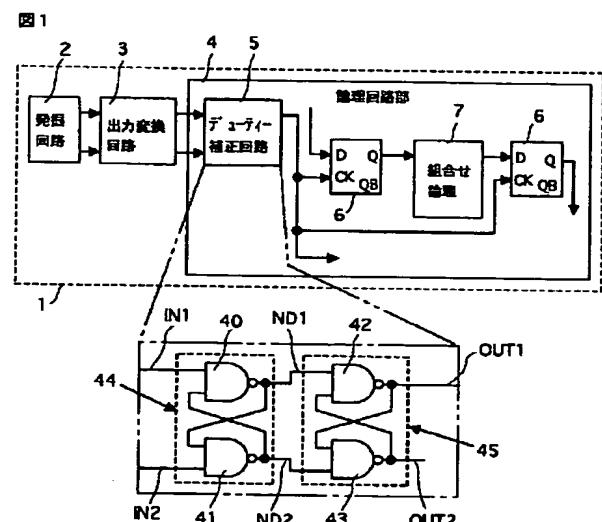
【図38】多相クロック信号を例示する波形図である。

【符号の説明】

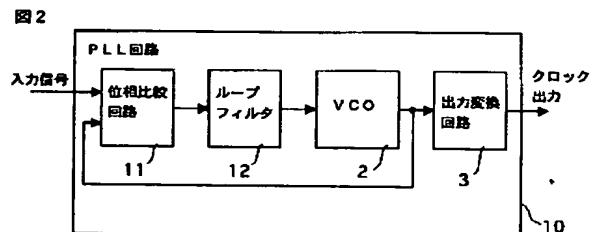
- 1 半導体集積回路
- 2 発振回路
- 3 出力変換回路
- 4 論理回路部
- 5 デューティー補正回路

- 6 フリップフロップ
- 7 組合せ論理
- 10 PLL回路
- 11 位相比較回路
- 12 ループフィルタ
- 15 差動回路
- 17, 18 差動入力MOSトランジスタ
- 16, 19, 20 電流源
- 26, 27 差動入力トランジスタ
- 28, 29 差動入力トランジスタ
- 30, 31 カレントミラー負荷トランジスタ
- 32, 33 差動入力トランジスタ
- 34, 35 カレントミラー負荷トランジスタ
- 40~43 ナンドゲート
- 44, 45 ナンドラッチ回路
- 50~53 ノアゲート
- 54, 55 ノアラッチ回路
- 56A, 56B クロック制御論理回路
- 65 論理閾値電圧が高くされたインバータ
- 40A~43A 論理閾値電圧が低くされたナンドゲート
- 70, 71 ナンドゲート
- 72 pチャンネル型MOSトランジスタ
- 73 nチャンネル型MOSトランジスタ
- 74 容量成分
- 75 インバータ
- 78, 79 ナンドゲート
- LOG1 第1論理段
- LOG2 第2論理段
- 80, 81 D型フリップフロップ

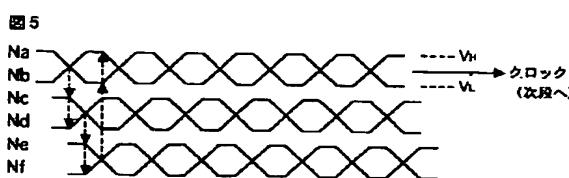
【図1】



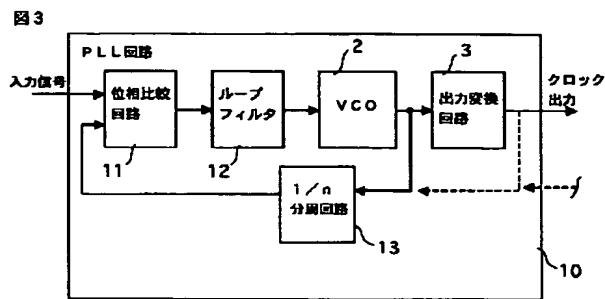
【図2】



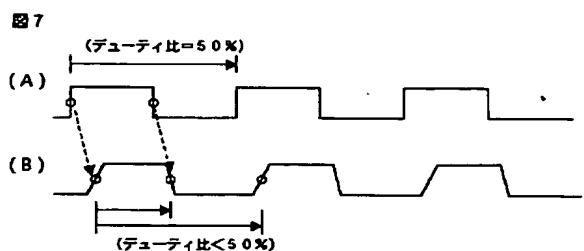
【図5】



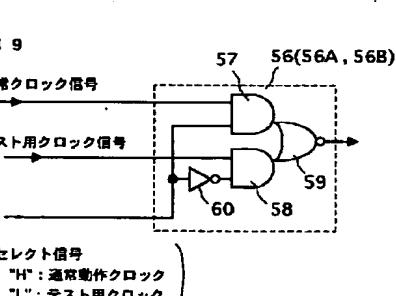
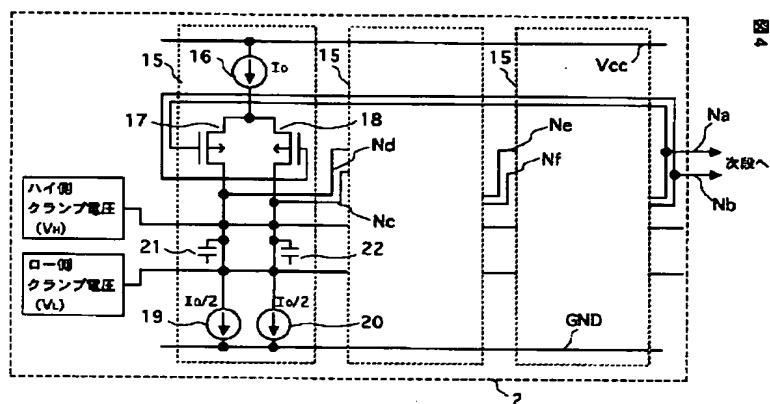
【図3】



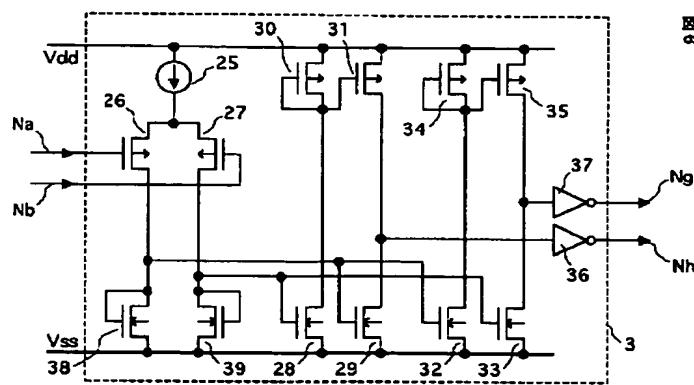
【図7】



【図4】

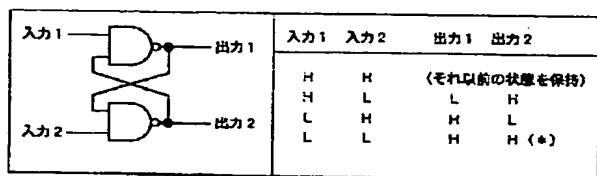


【図6】



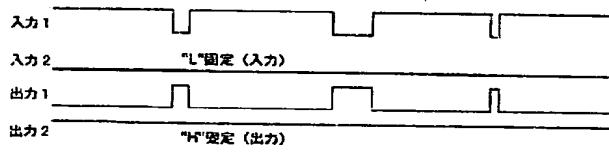
【図8】

図8



【図10】

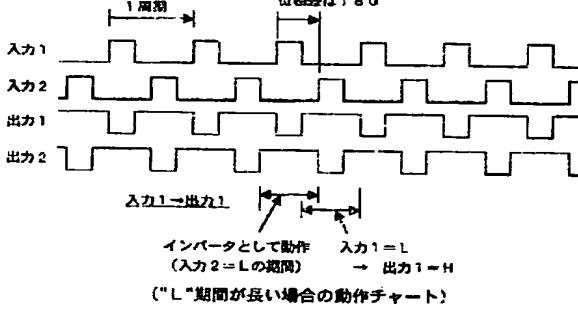
図10



(一方の入力をL固定した場合の動作チャート)

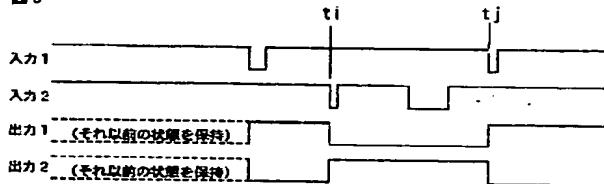
【図12】

図12



【図9】

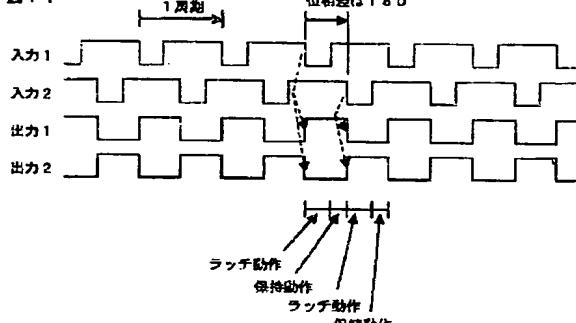
図9



(ラッチとして動作させた場合の動作チャート)

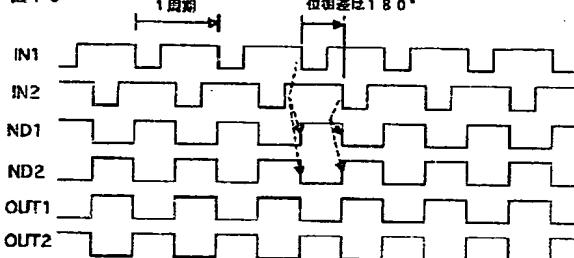
【図11】

図11



【図13】

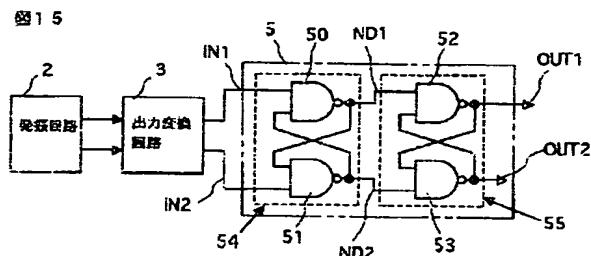
図13



("H"期間が長い場合の動作チャート)

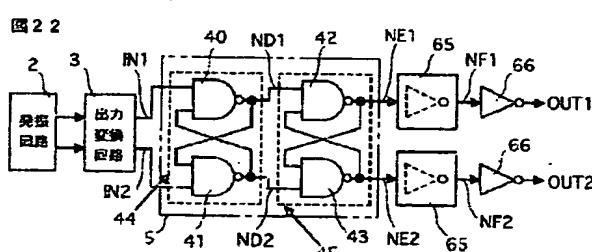
【図15】

図15

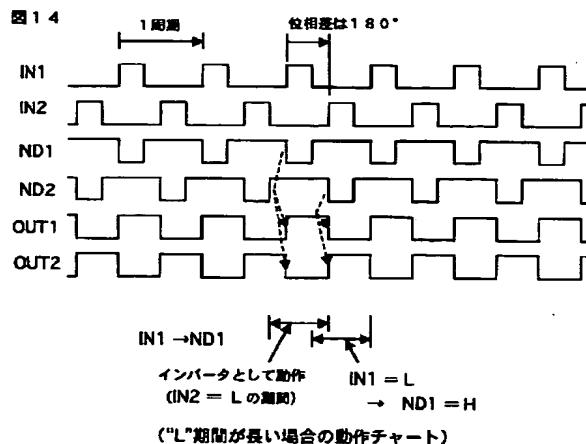


【図22】

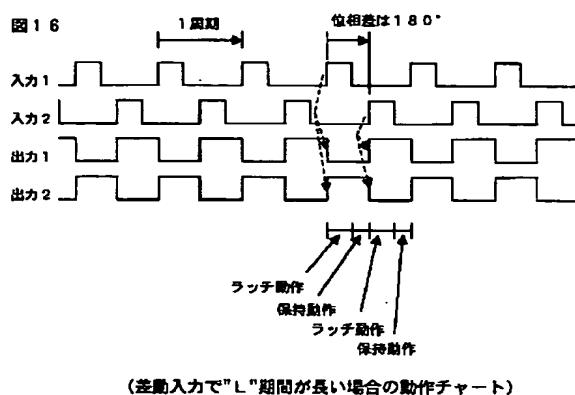
図22



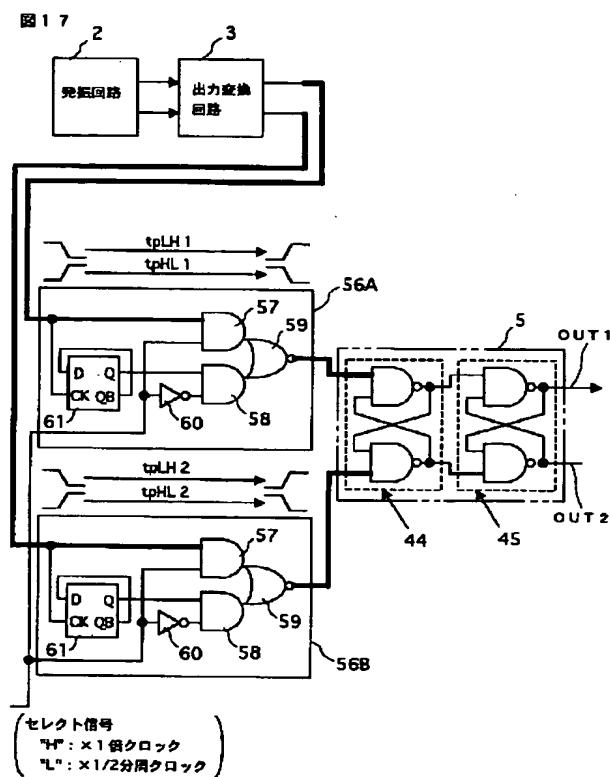
【図14】



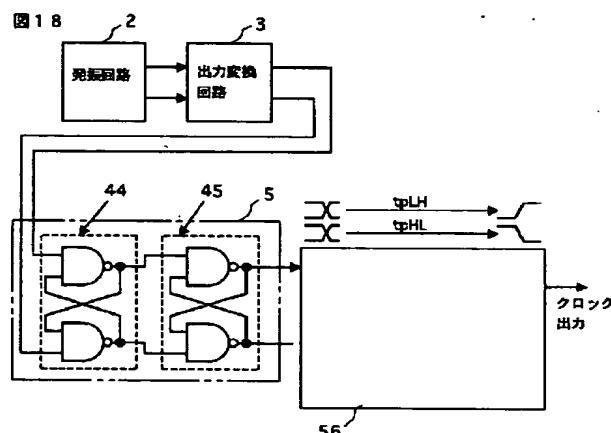
【図16】



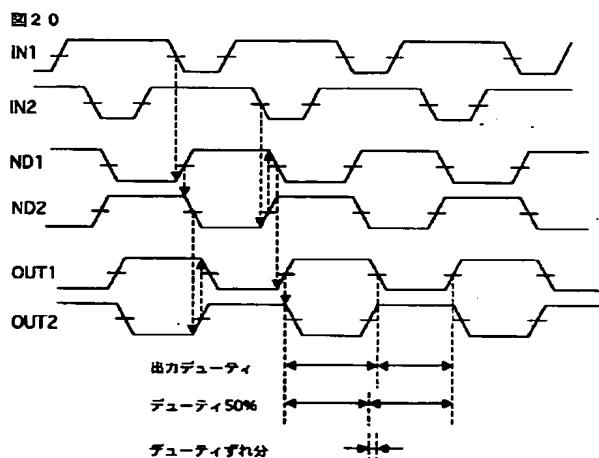
【図17】



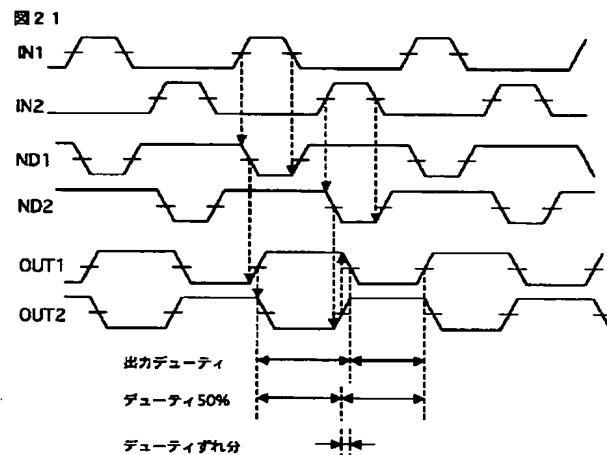
【図18】



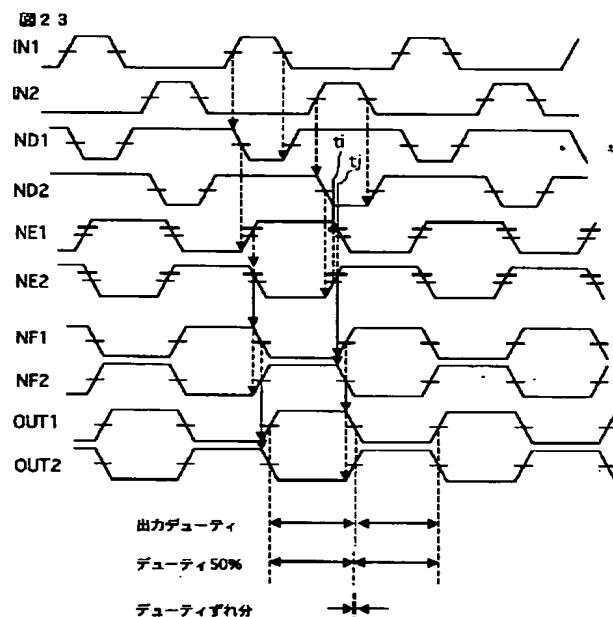
【図20】



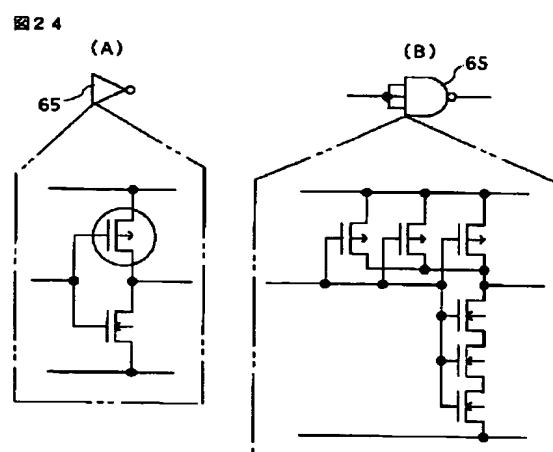
【図21】



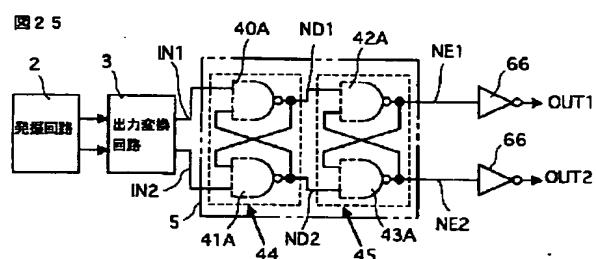
【図23】



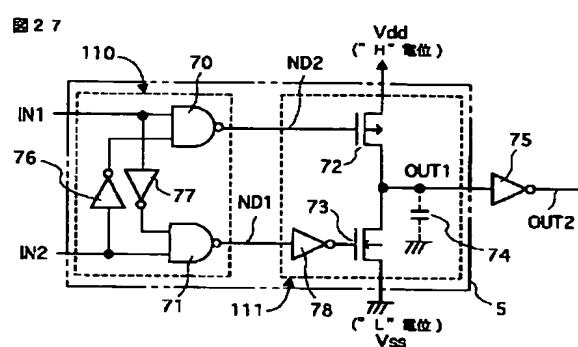
【図24】



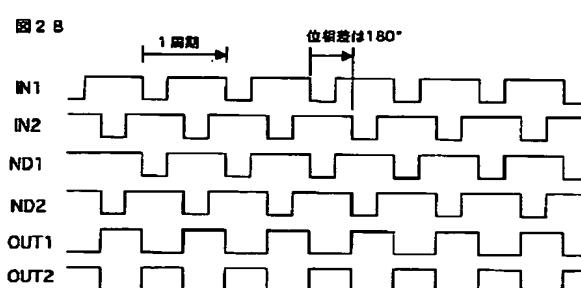
【図25】



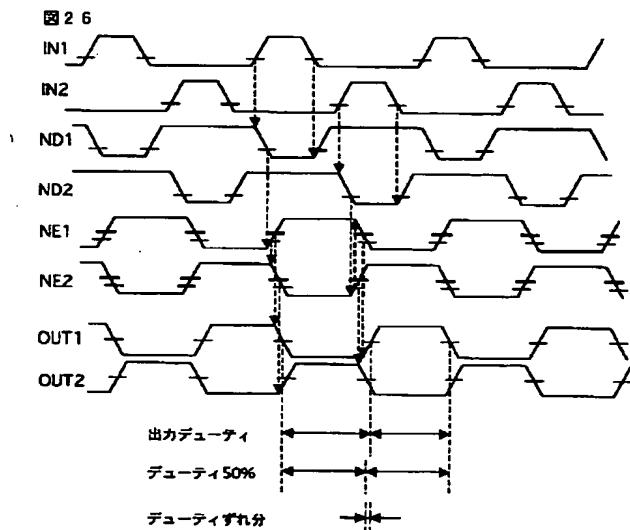
【図27】



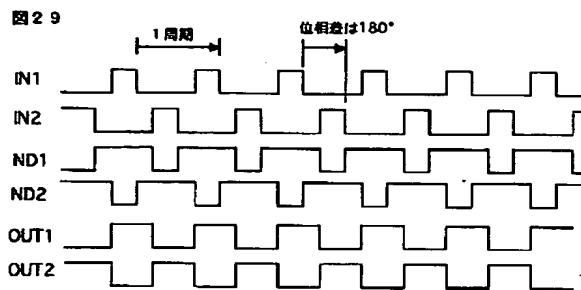
【図28】



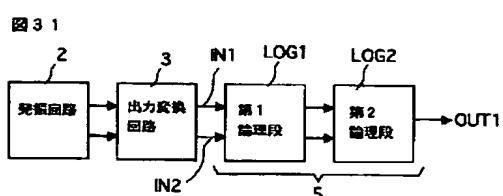
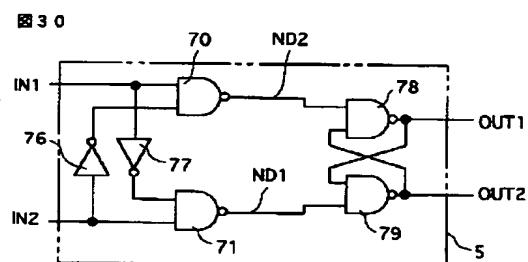
【図26】



【図29】



【図30】



【図32】

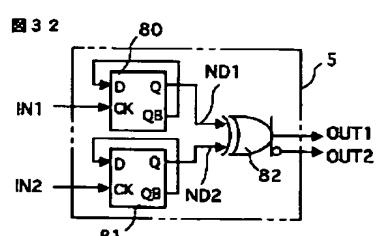
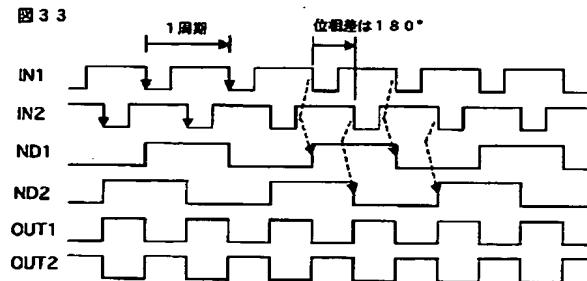
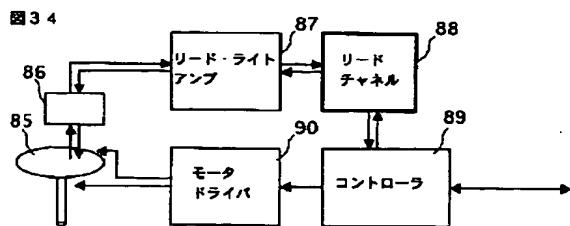


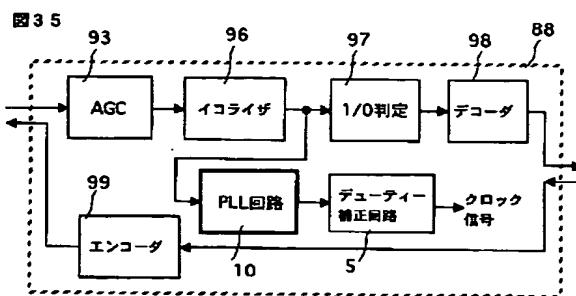
図33



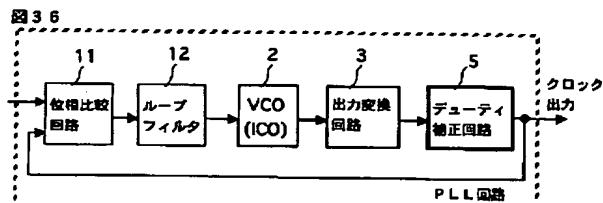
【図34】



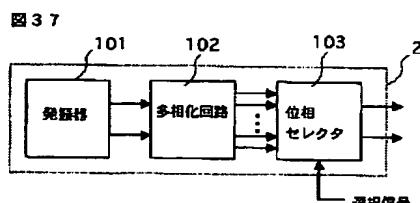
【図35】



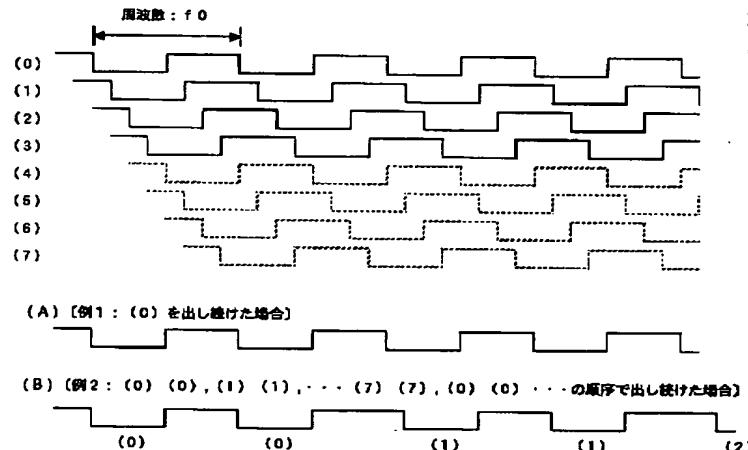
【図36】



【図37】



【図38】



## 【手続補正書】

【提出日】平成13年5月28日(2001.5.28)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

## 【補正内容】

【0009】特に、第3の公開公報には、差動のアナログ入力端子に結合された容量素子の充放電によって得ら

れる差動の周波数信号をコンパレートして相補アナログ信号を形成し、これを、一对の NANDゲートを交差結合させたラッチ回路を直列2段用いて波形整形する。波形整形された相補クロック信号の間にはゲート1段分の遅延がある。波形整形した相補クロック信号は2入力 NANDゲートに入力され、前記2入力 NANDゲートの出力に、前記入力された相補クロック信号相互間のゲート遅延に相当する幅の狭いクロックを形成し、これを2分周して、デューティー比50%のクロック信号を形成する

ものである。更に、直列2段の前記ラッチ回路の終段からの相補出力は、前記容量素子を充放電させるためのスイッチ回路を相補的に動作させるために帰還されている。この構成において、直列2段で配置された NANDゲートによるラッチ回路は、コンパレータのアナログ出力を受け、このアナログ出力に対する波形整形を目的とし、さらに、波形整形された相補出力はコンパレータの入力側に配置された容量素子の充放電用電流スイッチ回路の相補スイッチ制御信号として帰還されるから、この直列2段のナンドラッチ回路は、前記帰還系から分離して把握できる構成要素にはなり得ない。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】ナンドゲートを利用する場合、図1に例示されるように、第1論理段は、相互に一方のナンドゲートの出力が他方のナンドゲートの入力に帰還接続され夫々のナンドゲートの他方の入力に前記位相差が大凡半周期の相補クロック信号が供給される第1のナンドラッチ回路(44)として構成し、第2論理段は、相互に一方のナンドゲートの出力が他方のナンドゲートの入力に帰還接続され夫々のナンドゲートの他方の入力に前記第1のナンドラッチ回路の夫々のナンドゲートの出力が供給される第2のナンドラッチ回路(45)として構成してよい。この構成によれば、図13に例示されるように、“H”期間が長い相補クロック信号に対して、第1のナンドラッチ回路はラッチ動作を行なうことによって、相補入力クロック信号のデューティー比を大凡50%に回復する。大凡デューティー比50%に回復された相補クロック信号に対して第2のナンドラッチ回路はインバータとして作用し、第2のナンドラッチ回路から、デューティー50%に回復された相補クロック信号が得られる。一方、図14に例示されるように“L”期間が長い相補クロック信号に対して第1のナンドラッチ回路は、インバータ動作を行なうことになり、これによって入力相補クロック信号の極性が反転される。第1のナンドラッチ回路で極性反転された相補クロック信号を入力する第2のナンドラッチ回路は、“H”期間の長い相補クロック信号に対するラッチ動作を行なうことにより、前述と同様に、相補クロック信号のデューティーを大凡50%に回復する。このように、“H”期間が長い状態或いは“L”期間が長い状態の何れの状態にデューティーがずれてもデューティーを大凡50%に回復することができる。しかも内部の小さい遅延による微分波形相当の細いパレスを出すことなく、入力相補クロック信号のレベルとタイミングからの組合せ回路による論理動作だけで比較的簡単にデューティーを回復させることができる。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】前記ナンドラッチ回路又はノアラッチ回路はスタティックラッチ形態を有しているからゲート1段分の遅延に相当するデューティーずれを生ずることになる。このデューティーずれを極力小さくする手段として、前記第2のラッチ回路(第2のナンドラッチ回路、第2のノアラッチ回路)の夫々の出力に、ナンドラッチ回路の場合は論理閾値電圧が電源電圧の中間レベルよりも高く設定されたインバータを接続し、ノアラッチ回路の場合は論理閾値電圧が電源電圧の中間レベルよりも低く設定されたインバータを接続するとよい。或いは、前記第1及び第2のラッチ回路(44, 45)のナンドゲートの論理閾値電圧を電源電圧の中間レベルよりも低く設定すればよい。また、前記第1及び第2のラッチ回路(54, 55)のノアゲートの論理閾値電圧を電源電圧の中間レベルよりも高く設定すればよい。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】図6には前記出力変換回路3の一例が示される。出力変換回路3は、定電流源25にソースが結合されたpチャンネル型差動入力MOSトランジスタ26, 27のゲートに前記発振回路2のノードNa, Nbから相補クロック信号が供給される。差動入力MOSトランジスタ26, 27のドレインはpチャンネル型差動入力MOSトランジスタ28, 29のゲートに接続され、当該差動入力MOSトランジスタ28, 29にはpチャンネル型カレントミラー負荷MOSトランジスタ30, 31が設けられる。同様に、前記差動入力MOSトランジスタ26, 27のドレインはnチャンネル型差動入力MOSトランジスタ32, 33のゲートに接続され、当該差動入力MOSトランジスタ32, 33にはnチャンネル型カレントミラー負荷MOSトランジスタ34, 35が設けられる。負荷MOSトランジスタ31, 35に流されるミラー電流の作用により、Na電位がNb電位より高い時刻においては前段の負荷MOSトランジスタ31のドレイン電圧は次段の負荷MOSトランジスタ35のドレイン電圧に比べて高くされ、またNa電位がNb電位より低い時刻においてはその逆に負荷MOSトランジスタ31のドレイン電圧は次段の負荷MOSトランジスタ35のドレイン電圧に比べて低くされ、その結果負荷MOSトランジスタ31, 35のドレイン電圧を入力とするCMOSインバータ36, 37によって、ノードNg, NhにCMOSレベルの相補クロック信号が出力される。CMOSインバータ36, 37の動

作電源は電源電圧Vdd、回路の接地電圧Vssである。尚、38、39で示されるトランジスタは前記差動入力MOSトランジスタ26、27のドレインに結合されたnチャンネル型のダイオード接続MOSトランジスタである。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正内容】

【0062】図22にはデューティー補正回路に1ゲート遅延分のデューティずれ対策を施した回路の第1の例が示される。この例に示される1ゲート遅延分のデューティずれ対策は、1ゲートのtpdの設計中心値がデューティずれ分の設計中心値であり、1ゲートのtpdのばらつき最大値（と各差動部分のペア性）がデューティずれの最大値を決めるファクタになるという点に着目している。ここで閾値の異なるラッチ45とインバータ65を接続することにより、デューティずれ分の設計中心値をよりゼロに近づけ、ひいてはそのばらつきの最大値に対しても50%からのずれがより小さくされる。即ち、前記デューティ補正回路5の次段に、VLT（論理閾値電圧）を高めに設定したインバータ65を設ける。図22の例で前記インバータ65の出力をCMOSインバータ66で増幅してから相補クロック信号として後段に供給するようになっている。図23にはこのときの波形図が例示され、インバータ65の論理閾値電圧が高めに設定されることにより、例えば時刻t\_iにNE2が NANDゲートの論理閾値電圧を超えてNE1の変化が開始されるが、NE2がNF2へ接続されるインバータ65の論理閾値電圧を超えるのはそれよりも後の時刻であり、その後、時刻t\_jでNE1がNF1へ接続されるインバータ65の論理閾値電圧を超えるが、NE2がNF2へ接続されるインバータ65の論理閾値電圧を超える時刻がほぼt\_jに一致するようにインバータ65（2ヶ）の論理閾値電圧を設定することにより、デューティ比50%からのずれが小さくされる。

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正内容】

【0068】《短い方のパルス期間抽出を用いたデューティー補正回路》図27にはトランസファゲートを用いたデューティー補正回路が例示される。同図に示されるデューティー補正回路5は、位相差180°の相補クロック信号の一方IN1と他方IN2の反転信号とを入力する第1の NANDゲート70と、前記位相差180°の相補クロック信号の他方IN2と一方IN1の反転信号とを入力する第2の NANDゲート71と、前記第1のナ

ンドゲート70の出力によってスイッチ制御され電源電圧Vddと出力端子OUT1に接続されたpチャンネル型のMOSトランジスタ72と、前記第2の NANDゲート71の出力の反転信号によってスイッチ制御され回路の接地電圧Vssと前記出力端子OUT1に接続された第2導電型の第2のトランジスタ73とを有する。前記出力端子OUT1には容量74が接続される。容量74は、配線の寄生容量或いは次段インバータ75の入力ゲートであってよい。出力端子OUT1の信号はインバータ75で増幅されて反転信号OUT2とされる。76、77、83はインバータである。

## 【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0078

【補正方法】変更

【補正内容】

【0078】図35にはリードチャンネル88の一例が示される。リード・ライトアンプ87からの高周波信号はオートゲインコントローラ（AGC）93でゲイン調整されイコライザ96で等化され、判定回路97でデータの"1"、"0"判定が行われる。判定回路97の1/0検出方式には、応用により、レベル検出、ピーク検出、ビタビ復号、などいくつかの方式がある。その判定結果に対してデコーダ98で記録情報の復号が行なわれる。復号されたデータはホストシステムに供給される。ホストシステムから供給された書き込みデータはエンコーダ99で所定のフォーマットに符号化され、リード・ライトアンプ87に供給される。リードチャンネル88は例えば1個の半導体基板に形成されて半導体集積回路化されている。リードチャンネル88の内部動作はクロック信号に同期され、そのクロック信号を生成するPLL回路10が設けられている。PLL回路10はイコライザ96の出力を入力して同期クロック信号を再生する。このPLL回路10は例えば図36に例示される構成を有し、PLL回路10の終段には前記出力変換回路3が配置され、それによるデューティーずれを補正するために前記デューティー補正回路5が配置され、このデューティー補正回路5から出力されるクロック信号を基準クロック信号としてリードチャンネル88が動作される。

## 【手続補正8】

【補正対象書類名】図面

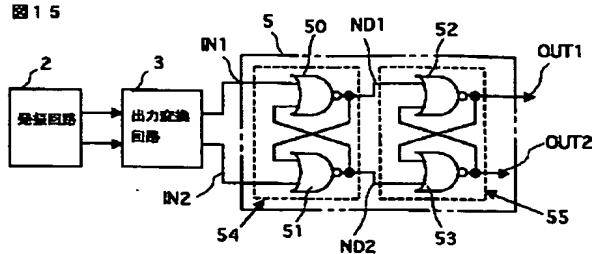
【補正対象項目名】図15

【補正方法】変更

【補正内容】

【図15】

図15



【手続補正9】

【補正対象書類名】図面

【補正対象項目名】図27

【補正方法】変更

【補正内容】

【図27】

図27

